

## PATENT ABSTRACTS OF JAPAN

(11) Publication number 09-189750

(43) Date of publication of application 22 07 1997

(51) Int Cl.

G01R 31/316

G08F 3/05

G08F 11/22

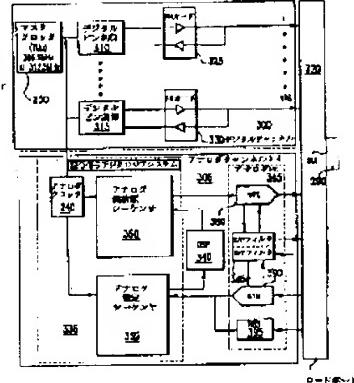
(21) Application number 08-203773  
(22) Date of filing 01.08.1996(71) Applicant  
(72) InventorSCHLUMBERGER TECHNOL INC  
ROSENTHAL DANIEL  
KONATH KANNAN  
WHYTE ROBERT  
NORTON ERIC  
PEARCE STUART ROBERT(30) Priority  
Priority number 95 510397 Priority date 01.08.1995 Priority country US

(54) ANALOG CHANNEL FOR MIXED SIGNAL VLSI TESTER

(57) Abstract

PROBLEM TO BE SOLVED To provide a test device capable of minimizing data transfer, parallel post data processing in analog channel and flexibly synchronizing.

SOLUTION In an inspected device test device(DUT) for mixed signal integrated circuit having a master clock 250, a plurality of digital channels and a plurality of analog channels, each digital channel has digital pin slices 310 and 315 for receiving a timing basis from the master clock 250 and communicating with digital pin electronics and digital pin electronics 325 and 330 for impressing digital signal in the DUT 290 and then communicating with the digital pin slices to receive the digital signals and each analog channel has an analog supply source sequencer 350 under the control of a DSP module 340, analog pin electronics 345 and an analog measurement sequencer 355



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-189750

(43)公開日 平成9年(1997)7月22日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F 1	技術表示箇所
G 0 1 R 31/316			G 0 1 R 31/28	C
G 0 6 F 3/05 11/22	3 5 1 3 1 0		G 0 6 F 3/05 11/22	3 5 1 A 3 1 0 R

審査請求 未請求 請求項の数8 OL (全34頁)

(21)出願番号 特願平8-203773  
(22)出願日 平成8年(1996)8月1日  
(31)優先権主張番号 08/510397  
(32)優先日 1995年8月1日  
(33)優先権主張国 米国(US)

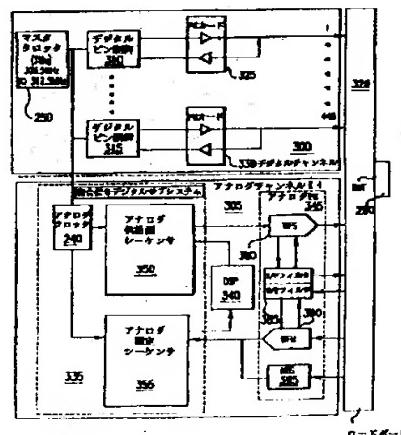
(71)出願人 591068137  
シュルンペルジェ テクノロジーズ、イ  
ンコーポレイテッド  
SCHLUMBERGER TECHNO  
LOGIES, INCORPORATED  
アメリカ合衆国、カリフォルニア  
95115, サンノゼ、テクノロジード  
ライブ 1601  
(72)発明者 ダニエル ローゼンサル  
アメリカ合衆国、カリフォルニア  
95070, サラトガ、ブルックグレン  
ドライブ 11891  
(74)代理人 弁理士 小橋 一男 (外1名)  
最終頁に続く

(54)【発明の名称】 混合信号VLSIテスト用アナログチャンネル

(57)【要約】 (修正有)

【課題】 データ転送を最小とし、アナログチャンネル内における並列データ後処理を可能とし、柔軟性のある同期が可能なテスト装置を提供する。

【解決手段】 マスタクロック250、複数個のデジタルチャンネル、複数個のアナログチャンネルとを有する混合信号集積回路被検査装置(DUT)テスト装置において、各デジタルチャンネルは、マスタクロック250からタイミング基準を受取ってデジタルピンエレクトロニクスと通信を行なうデジタルビンスライス310、315と、DUT290へデジタル信号を印加しそれからデジタル信号を受取るためにデジタルビンスライスと通信を行なうデジタルピンエレクトロニクス325、330を有し、各アナログチャンネルは、DSPモジュール340の制御下にアログ供給源シーケンサ350、アログピンエレクトロニクス345と、アログ測定シーケンサ355を有している。



## 【特許請求の範囲】

【請求項1】 混合信号集積回路被検査装置(DUT)テスト装置において、

- (a) マスタクロック(250)、
- (b) 各デジタルチャネルが、(i) 前記マスタクロック(250)からタイミング基準を受取り且つデジタルビンエレクトロニクスと通信を行なうデジタルビンスライス(310, 315)、(ii) DUT(290)へデジタル信号を印加し且つそれからデジタル信号を受取るために前記デジタルビンスライスと通信を行なうデジタルビンエレクトロニクス(325, 330)、を有する複数個のデジタルチャンネル、

(c) 各アナログチャンネルが、(i) 前記DUT(290)へ印加すべきアナログ信号のデジタル表示を発生するためのDSPモジュール(340)制御下にあるアナログ供給源シーケンサ(350)、(ii) 前記アナログ供給源シーケンサ(350)に応答して前記DUT(290)へアナログ信号を印加し且つDUT(290)からアナログ信号を受取るアナログビンエレクトロニクス(345)、(iii) 前記アナログビンエレクトロニクス(350)に応答して前記DUT(290)によって発生されるアナログ信号のデジタル表示を用意するアナログ測定シーケンサ(355)、(iv) 前記アナログ測定シーケンサ(355)内に格納されているアナログ信号の表示を処理し且つ前記アナログ供給源シーケンサ(350)へ制御情報を供給するプログラム可能なDSPモジュール(340)、を有している複数個のアナログチャンネル、を有することを特徴とする装置。

【請求項2】 請求項1において、前記DSPモジュール(340)が第一DSP(500)、第二DSP(505)、前記第一DSP(500)及び前記第二DSP(505)へアクセス可能な少なくとも1個のメモリ(530, 535)を有することを特徴とする装置。

【請求項3】 請求項2において、前記第一DSP(500)が前記アナログ測定シーケンサ(355)によって用意されたアナログ信号のデジタル表示を受取り、前記アナログ信号のデジタル表示を処理して結果を発生し、且つその結果を前記メモリ内に格納すべくプログラムされており、且つ前記第二DSP(505)が、前記メモリ内に格納されている前記結果へアクセスし且つ前記結果に依存して前記アナログ源シーケンサを制御すべくプログラムされていることを特徴とする装置。

【請求項4】 請求項3において、前記少なくとも1個のメモリがグローバルメモリ(535)を有することを特徴とする装置。

【請求項5】 請求項3において、前記少なくとも1個のメモリがDSP間先入先出メモリ(530)を有することを特徴とする装置。

【請求項6】 請求項3において、前記DSPモジュール(340)が、更に、前記第一DSP(500)と通

信を行なうデータメモリ(520)及びプログラムメモリ(550)を有すると共に、前記第二DSP(505)と通信を行なうデータメモリ(525)及びプログラムメモリ(555)を有することを特徴とする装置。

【請求項7】 請求項1において、前記DSPモジュール(340)がDSPエンジン(440)、第一メモリ(460)、第二メモリ(465)、前記第二メモリ(465)内のデータが前記DSPエンジン(440)へアクセス可能である間に前記第一メモリ(460)内へ格納するためにアナログ測定シーケンサ(355)からの捕獲データを第一状態にある場合に選択的に通過すべく作用する多状態スイッチ(455)、前記第一メモリ(460)内のデータが前記DSPエンジン(440)へアクセス可能である間に前記第二メモリ(465)内に格納するためにアナログ測定シーケンサ(355)からの捕獲データを、第二状態にある場合に、選択的に通過させるべく作用するスイッチ(455)を有することを特徴とする装置。

【請求項8】 請求項7において、前記DSPエンジン(440)が、第一DSP(500)、第二DSP(505)、前記第一DSP(500)及び前記第二DSP(505)へアクセス可能な少なくとも1個のメモリ(530, 535)を有することを特徴とする装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、混合信号VLSI装置をテストする装置及び方法に関するものである。

## 【0002】

【従来の技術】デジタル集積回路(I.C.)装置は、典型的に、所定パターン及びタイミング関係にある「進励起信号からなるパターン」を該装置のピンへ印加することによってテストされる。デジタルテストシステムは、該装置の結果的に得られるデジタル出力信号を観察しそれらを予め定めた真理値表と比較する。各時間インターバル期間中に、該装置の出力ピンにおけるビット(1及び0)が真理値表のビットと一致するか否かに依存して合否決定が行なわれる。これらの装置に対するテストシステムは、テストすべき装置のタイプの条件に適合させるように、柔軟性があり且つプログラム可能なものである。高速でプログラム可能なデジタルテストシステムの一例は、カリフォルニア州サンノゼのシェルル・ベルシェル・パロディーズ社から市販されているITS9000トランシーバーがある。

【0003】テストすべき他の装置は純粹にデジタル的なものではない。これらの装置は「混合信号」装置として知られ、且つデジタル及びアナログの両方の信号特性を有する場合がある。混合信号装置は、しばしば始点パラル的なものであるが、純粹にデジタル装置をテストする場合にテストすることは不可能である。混合信号装置は、デジタル信号ノイズ又は出力に加えて1個

これはそれ以上のアナログ信号入力（例えば、アナログ・デジタル変換器（A/D））又は1個又はそれ以上のアナログ信号出力（例えば、デジタル・アナログ変換器（D/A））を必要とするピンを有する場合がある。混合信号装置は、アナログ信号のデジタル表示を受取るか又は供給するピンを有する場合がある（例えば、コード・デコ・データ装置（CODEC））。アナログ信号のデジタル表示は、デジタル形態でコード化されている情報かアナログ値を表示する点においてデジタル信号と異なる。コード化された信号の出力ビットを時間窓内において予め定義した真理値表と比較するだけでは不充分である。何故ならば、その装置が期待された通りに動作するか否かを決定するために評価されねばならないのは1及び10でコード化されている情報だからである。そのコード化されている信号は1個のピン上の直列データ又は複数個のピン上の並列データの形態である場合があり且つ多数の方法のうちのいずれかを使用してコード化されている場合がある。該装置の直流（DC）特性をテストすることに加えて、該テストはあるエラーバンド内において基本的に同一のアナログ値を表わす任意の数の異なるビット結合を許容可能なものとして認識せねばならない。

【0004】混合信号装置のテストは時間のかかるものである。個別的なテストサイクルは、1組の入力励起を装置へ印加し且つ該装置の応答を測定することから構成される場合がある。例えば、アナログ電圧をADCへ印加し且つその結果得られるデジタル出力を検知する。テストサイクルは種々の条件下での装置性能を評価するために、多数の組の異なる組の励起に対して繰り返して行なわれる。例えば、アナログ電圧をその予測される動作範囲にわたってADCへ印加する。測定の信号対雑音比が低い場合には、各組の入力励起に対して複数個のテストサイクルを実行し且つ結果を平均化せねばならない場合がある。装置性能の再現性についてもテストを行なうことか必要な場合があり、その場合には更に多数のテストサイクルが必要とされる。

【0005】DUTへ印加する励起は、しばしば前のテストサイクルにおいて印加した励起に対するその応答に依存する場合がある。従って、全体的なテスト時間を要当な範囲内に維持すべき場合には、後処理を迅速に行なわねばならない。

【0006】従来の混合信号テストシステムにおいては、单一のホストコンピュータが全体的なテストプロセスを制御し且つ複数個のアナログチャネルに対してデジタル信号処理を行なうものである。複数個の供給源からのデータはメインのテストプログラムで同期的に処理される。あるテストシステムにおいては、ホストコンピュータはアレイプロセサ又はデジタル信号プロセサによ

って補充される。各アナログチャネルにおいて高速データ変換（FFT）処理を行なったとしても、計算用の資源がチャネルによって共用されているテストシステムは本来的な欠点を有している。第一に、大量の情報がDUTへ信号を供給し又はDUTから信号を受取る各アナログチャネルを介して通過せねばならない。DUTからの信号はデジタル化され且つチャネル内のメモリ内に捕獲される。この大量のデータは、後処理を開始する前に、バスを介して共用されているプロセッサへ転送されねばならない。このデータ転送遅延は、チャネル数及びDUTに関して実行されるべきテストサイクルの数によって算出された場合に顕著なものとなる。第二に、共通バスを介して共用されているプロセッサへデータを転送することは、チャネル毎に順番に行なわれねばならない。従って、データは、チャネル毎に順番に譲共用されているプロセッサ及び又はアレイプロセサにおいて後処理される。逐次的なデータ転送及び処理はスループット遅延を発生する。テスト速度はテストシステムのアーキテクチャによって制限される。

【0007】更に、従来のシステムは単一プログラム「スレッド」、即ちメインプログラムを有している。即ち、メインプログラムがデータの捕獲を行ない且つ共用されているプロセッサによってデータの後処理を行なう。共用されているアレイプロセサ又はDSP分岐されたプロセスは、メインプログラムと並列的に稼動するものではない。従って、従来のシステムはDSPエンジンの真に非同期的な制御を可能とするものではないので、従来のシステムにおいてはDSPエンジンは最適な態様で使用されるものではない。

【0008】アナログ信号とデジタル信号の両方を取り扱う混合信号装置はより大きな機能性、性能及び速度を有するものである。これらの装置は、DC特性を含むするデジタル及びアナログ回路の結合したテストによって、それらが順調に動作する状態において、システムとしてテストせねばならない。混合信号装置をシステムとしてテストするために、該装置へ入力され且つそれから出力されるアナログ及びデジタル信号の発生及び測定は柔軟性のある同期を必要とする。現在使用可能なテストは、混合信号装置の同期的及び非同期的制御を与えるのに適切なものではない。混合信号装置のより高速且つ柔軟性のあるテストシステムが所望されている。

【0009】

【発明が解決しようとする課題】本発明は、以上の点を鑑みたものであって、上述した如き従来技術の欠点を解消し、データ転送を最小とし、アナログチャネル内における並列データ後処理を可能とし、柔軟性のある同期を可能とした混合信号テスト装置及び方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の好適実施形態に

よれば、データ転送を最小とし、アナログチャンネル内において並列データ後処理を可能とし且つ柔軟な同期を可能としたテスト装置及び方法が提供される。

【0011】複数個のアナログチャンネルが設けられており、各アナログチャンネルは、供給源デジタル信号プロセサ、データ供給源シーケンサ、ラジオダル供給源計装、アナログ供給源計装、アナログ測定計装、デジタル測定計装、デジタルゼンマールチプレクサ、デジタル測定シーケンサ、DSPアドレス可能マルチバンク捕獲メモリ、捕獲デジタル信号プロセサ、供給源DSPと捕獲DSPとの間の通信のためのDSP間フィードバック経路を有している。各アナログチャンネルは、そのアナログ又はデジタル計装か、又はその組合せのいずれかによつて、DSP間フィードバック経路を使用して完全なフィードバックループの形態で配設させることが可能である。

【0012】DUTの応答は該チャンネルにおいて処理し、その処理結果は、後のテストサイクルのためのパラメータを画定するために使用し、且つこれらのパラメータに対応する信号が発生され且つDUTへ印加される。次ぎのテストサイクルを画定するためにアナログチャンネル内においてこのような対応で1つのテストサイクルの結果をループバックさせることの可能性はテストプロセスを高速化させる。供給源DSPは実時間で信号を合成し且つアナログ又はデジタル供給源計装を介してDUTへ印加させることが可能である。供給源DSPは実時間で供給源シーケンサメモリアドレス（波形又は波形セットを表わすメモリ内に格納されている波形データに対するポインタ）を合成し且つアナログ又はデジタル供給源計装を介してそれをDUTへ印加することが可能である。

【0013】DUTの応答はチャンネル内の捕獲メモリへ書込まれ、該メモリは一時的な格納バッファを介するものではなく捕獲DSPによって直接的にアドレス可能である。処理を行なう前にデータを転送することを回避することは、テストプロセスを更に高速化させる。捕獲DSPの制御下にあるマルチバンク捕獲メモリは、別のバンクに前に書込まれたデータを処理しながら、DUT応答を表わすデータを1つのバンク内へ書込むことを可能とする。このような態様でデータ捕獲とデータ処理とをインターリーブさせることにより、データ捕獲とデータ処理とを同時に進行することを可能とし、テストプロセスを更に高速化させる。

【0014】各アナログチャンネルに対して供給源DSPと捕獲DSPとが設けられているので、1スレーブインターフェース技術を使用し、その場合に、多數の処理スレーブの各々は、資源の利用を最適化するために他のスレーブとは独立的に処理を実行する。テストプロセスのスレーブはDSPとの頻繁な通信に対する必要性において拘束されることなく且つアナログチャンネルのD

S Pで実行されるべき種々の処理を発生させた後にその他の種々の作業（計算、ハーファ管理、アナログチャンネルハイトウエアが関与することのないデジタルテスト等）を実行することが可能である。テストシステムの各アナログチャンネルは独立的（即ち、アナログチャンネルは処理用資源を共用することはない）であるので、テスト時間を劣化させることなしに複数個の混合信号測定を並列的に実行することが可能である。並列テストのための高速なテスト時間を容易化するためにチャンネルは単独的又は組の状態でプログラムすることが可能である。アナログクロックは高精度で高分解能であり低ジャマーのクロック信号を発生し、該クロック信号はDSP技術を容易とさせるためにシステムマスタクロック（従って、デジタルサブシステム）とフェースロックされている。

【0015】処理は独立的であるが、必要な場合には、データを共用することが可能である。処理マネジャーが実行中の異なるスレーブを追従する。処理の同期は、意志決定又は依存性が発生する所定の時刻において効果的に達成される。このアプローチは、データ捕獲及び後処理に対しDSPの最適な使用を確保している。捕獲メモリから捕獲DSPへ捕獲データを移動させるために必要な待ち時間は存在しない。捕獲DSPは捕獲メモリへ直接的にアクセスすることが可能であるので、処理を開始する前に、捕獲したデータは捕獲メモリから個別のDSP（又はアレイプロセサ）メモリへ転送することは必要ではない。

#### 【0016】

【発明の実施の形態】図1は本発明に基づく混合信号テストのある機能的能力を示している。混合信号DUT100は、例えは正弦波110等の特定した形態のアナログ励起信号を供給すべきアナログ入力端105を有している。アナログ励起信号は、データシーケンサ115によって供給され且つDAC120によってアナログ形態へ変換されるデジタルデータとして表わされている。次いで、このアナログ信号はフィルタ125を介して入力端105へ供給される。混合信号DUT100は、特定した形態のデジタルデータとしてコード化したアナログ情報が供給されるデジタル入力端130を有している。このデジタルデータは、フォーマット化した信号をデジタル入力端130へ供給するフォーマタ140、データシーケンサ135によって供給される。

【0017】混合信号DUT100は、テストシステムによって解析されるべきアナログ信号150を供給するアナログ出力端141を有している。その信号は、フィルタ115を介してA/D160へ通過される。その結果得られるデジタル化された信号は捕獲メモリ165内に格納され、該メモリはDSP170へアクセスすることが可能である。混合信号DUT100は、アナログ情報を表わすデジタル信号を供給するデジタル出力端175を有してい

る。そのデジタル信号はフォーマット180へ通過され、またオーディオはそのデジタル信号をデコードし且つ結果的に得られるデコードされた情報を捕獲メモリ185内に格納する。捕獲メモリ185内のデータはDSP190に対してアクセス可能である。DSP170及びDSP190は該DUTから受取った信号の時間をベースとした解析及び周波数をベースとした解析を実行するためプログラムすることが可能である。

【0018】図2は本発明に基づく混合信号テストシステムのハードウェア全体図を示している。ワークステーション200がトップレベルのプログラミング及びテストの制御のためのユーザインターフェースを提供しており、且つDSPプロセサ220と通信を行なうテストコンピュータ210と通信を行なう。以下に更に詳細に説明するように、各アナログチャンネルに対して一对のDSPプロセサが設けられている。DSPプロセサ220はアナログシーケンサ230を駆動し、該シーケンサは必要に応じてアナログクロック供給源240からクロック信号を受取る。アナログクロック供給源240は、デジタルマスタークロック250に対する基準を与えており。デジタルビン「ライス」260はデジタルマスタークロック250からタイミング基準を受取る。デジタルビンライス260はデジタルビンエレトロニクス270と通信を行なう。アナログシーケンサ230はアナログビンエレクトロニクス280と通信を行なう。デジタルビンエレクトロニクス270及びアナログビンエレクトロニクス280は被検査装置(DUT)290のピンへ励起信号を供給し且つ該ピンから応答信号を受取る。アナログ信号及びデジタル信号はアナログシーケンサ230、アナログチャンネルクロック信号発生器240、デジタルマスタークロック信号発生器250及びデジタルビンライス260の同期を介して連携されている。

【0019】図3は本発明の好適実施例に基づく混合信号テストシステムのデジタルチャンネル300及びアナログチャンネル305のハイレベルのブロック図を示している。デジタルチャンネル300及びアナログチャンネル305の数は設計上選択されるものであり、好適実施例では448個のデジタルチャンネルと4個のアナログチャンネルとを有している。制御可能なマスタークロック250か、例えば3.067MHz乃至3.125MHzにおけるクロック信号を、各デジタルチャンネルのデジタルビンライス(デジタルビン制御器)及び各アナログチャンネルのアナログクロック発生器(例えばデジタルチャンネル内蔵のデジタルビン制御器310、デジタルチャンネル内蔵のデジタルビン制御器315、アナログチャンネルクロック信号発生器340)へ供給する。

【0020】デジタルビン制御器はビンエレクトロニクス(P-E)カート(以下DUTが装着されているロードボ

ード320を介してDUTと通信を行ない、例えばデジタルビン制御器310及び315はP-Eカート325及び330を介してDUT290と通信を行なう。デジタルチャネルは従来の態様で動作し、各デジタルチャネルは、所定のパターンに従ってDUTのピンを駆動し及び又は予定された応答パターンと比較するためにDUTのピン上のデジタル信号を検知するために従来の態様でプログラムすることが可能である。

【0021】各アナログチャンネルは、混合信号サンプルサブシステム335、プログラム可能なデジタル信号プロセサ(DSP)モジュール340、アナログビンエレクトロニクス(P-E)345を有している。混合信号デジタルサブシステム335は、クロック信号発生器240、アナログ供給源シーケンサモジュール350、アナログ測定シーケンサモジュール355を有している。アナログP-E345は、波形供給源(WFS)380、入力(I-P)及び出力(O-P)フィルタ385、波形測定器390を有している。

【0022】DUTへ印加すべきアナログ信号パターンのデジタル表示は、クロック240からのクロック信号と同期するプログラム可能なDSPモジュール340の制御下にあるアナログ供給源シーケンサモジュールによって発生される。これらのデジタル表示は波形供給源380へ供給され、該波形供給源はそれらをアナログ励起信号へ変換する。アナログ励起信号は必要に応じてフィルタ385を介して通過され、且つロードボード320を介してDUT290へ供給される。

【0023】DUT290からのアナログ応答信号はロードボード320を介してデジタル化のために波形測定器390へ通過される。アナログ応答信号は必要に応じてフィルタ385を介して通過される。アナログ応答信号のデジタル表示は格納のため及び後処理及びDSPモジュール340による解析のためにアナログ測定シーケンサモジュール355へ通過される。

【0024】図4は図3のテストシステムの信号経路のより詳細を示したブロック図であって、同一の構成要素には同一の参照番号を付してある。図示した実施例においては、各アナログチャンネルはアナログビンエレクトロニクス(P-E)カート(波形供給源380、フィルタモジュール385、波形測定器390)、2個のアナログシーケンサカート(アナログ供給源シーケンサ350及びアナログ測定シーケンサ355)、1個のDSPモジュール340を有している。各チャンネルは、特定のアナログ信号帯域幅及び分解能に対して最適化されることが可能である。アナログP-Eカートは、好適には、デジタルP-Eカートと共に低インピーダンス4Ω内に位置されている。

【0025】アナログ供給源シーケンサモジュール350、アナログ測定シーケンサモジュール355及びDSPプロセサモジュールが各チャンネルに対して設けられ

ている。これらのモジュールは、好適には、システムメインメモリ又はアナログケージ402内に位置されている。アナログ供給源シーケンサモジュール350は、先入先出メモリ470、モニケンサ472、シリクライナイザ474、シーケンサメモリ476及びマルチプレクサ(MUX)478を有している。アナログ測定シーケンサモジュール355は、マルチプレクサ480、データパッカ482、データフォーマッタ484、シリクライナイザ486を有している。アナログ供給源シーケンサモジュール350及びアナログ測定シーケンサモジュール355は、例えば1.25MHz乃至2.50MHzの範囲内のクロック信号を発生することの可能なチャネル毎アナログクロック信号発生器240からの選択した周波数のクロック信号によって同期される。この選択可能なクロックは、所望の周波数又はデータレートにおいてDUTへの信号及びそれからの信号をアナログチャンネルが供給し且つ測定することを可能としている。例えば、特定したTTU-TSS(以前はCCITT)国際標準周波数においてモデム装置と通信することによりモデム装置をテストすることが所望される場合がある。

【0026】アナログ供給源シーケンサモジュール350は、波形供給源380を介して、及び、オプションとして、フィルタ385を介して、DUTへ供給される複雑な波形のランタイム発生を与える。アナログ供給源シーケンサモジュール350は、更に、サブルーチンメモリ及び別のデータマルチプレクサ405を介してアナログ信号のデジタル表示をデジタルビンスライス410へ供給すること可能である。このデジタル表示は、デジタルビンエレクトロニクス415を介してDUT29の入力ピンを駆動するために使用される。一実施例においては、56個のデジタルPEユニット415が本システム内に設けられており且つユーザが定義したテストプログラムがアナログチャンネルによって使用するために必要に応じてそれらを選択することが可能である。

【0027】デジタルPEカード420からのデータは、デジタルビンスライス425、「Hファイル(H-file)」マルチプレクサ430及び「アナログ」マルチプレクサ435を介してアナログ測定シーケンサ355へ通過する。アナログ測定シーケンサモジュール355は、デジタルPEカード420又は波形測定カード390からのデータをDSPモジュール340内へ転送する。アナログ測定シーケンサモジュール355は、該データをフィルタ化し且つそれをDSPモジュール340へ転送する。

【0028】各DSPモジュール340はDSPエンジン440及びスーパー・メザニン(super-mezzanine)445を有している。AMS355から入力するデータは、ECL対TTL変換器450を介し、ついでスイッチ455を介して、メモリ460又は465の一方へ通過される。DSPエンジン440から

スーパー・メザニン445へ供給されるデータはラッチ466及びTTL対ECL変換器468を介してアナログ供給源シーケンサ350へ通過する。

【0029】DSPエンジン440は、例えば、メリント州ルバースプリングのイクストラ(Extral)インコーポレーテッドから販売されているモデルIX-D7232信号処理ボードのような市販されているプロセッサボードとすることが可能である。図5はこのIX-D7232ボードのハイレベルアーキテクチャを示している。一対のデジタル信号プロセッサ500、505の各々が、夫々のデータバス510、515を介して、スーパー・メザニン445、夫々のデータメモリ520、525、DSP間先入先出(FIFO)メモリ530及びグローバルメモリメザニン535と通信を行なう。デジタル信号プロセッサ500、505の各々は、夫々のプログラムバス540、545を介して、夫々のプログラムメモリ550、555と通信を行なう。プログラムバス540、545は、更に、ポート制御器/VMEインターフェース560を介してVMEバス565及びシリアルポート570、575への通信を行なっている。

【0030】データメモリバンク520、525及びグローバルメモリ535は対応するDSPプロセッサアドレス空間内にマッピングされており、それによりDSPプロセッサが通常のメモリのようにこれらの要素へアクセスすること可能としている。アドレス発生器(不図示)はアナログ測定シーケンサ355ではなくDSPプロセッサによってアクセスされる。

【0031】DSP-A500はスーパー・メザニンメモリ460又は465のアドレス空間内における位置に対してアドレス発生器Aを設定する。DSP-A500がメモリ(例えば、メモリ460)の1つのバンクから読み取を行なっている間に、AMS355は他方のメモリバンク(例えば、メモリ465)内にデータを格納することが可能である。次いで、DSP-A500はバンクをスイッチし、且つ、AMS355が最初のバンク(例えば、メモリ460)内にデータを書込んでいる間に、DSP-A500は2番目のバンク(例えばメモリ465)からデータを読み取ることが可能である。捕獲したものの全てに対して充分な空間がメモリバンク内に存在する場合には、DSP-A500は高速のAMS445か前に捕獲したものに上書きすることの恐れなしで1個のバンク内に複数個の捕獲したものを強制的に入れるようアドレス発生器Aを設定すること可能である。1つのメモリバンク内において1個の捕獲したものが得られると、DSPはAMSを一口アウトして、それがスーパー・メザニン内にデータを書き込むことを阻止する。

【0032】AMS355に対する入力出力(I/O)方法は、2つの異なるモード、即ち「ロードモード」と「時間モード」で制御することが可能である。「ロードモードにおいては、AMS355からのデータを処理

するためにDSP-A500のみが使用される。このモードにおいては、スーパーメザニン445の全てのバンクはDSP-A500によって制御される。入力データカウンタに対応するDSP-A500内のレジスタ(図4示)の寸法は、スーパーメザニン445の全メモリ寸法と等しい。スーパーメザニン445は、転送されるデータ寸法に対応するカウンタ(図4示)を有している。DSP-A500は入力するデータが開始するスーパーメザニン445内のベースデータを知り得ている。更に、DSP-A500は現在のデータが格納されているアドレス位置に対するポインタをアップデートさせる。DSP-Aはスーパーメザニン445におけるデータアドレス発生をイネーブル及びディスエーブルさせることができあり、その際にそれをAMSからカットオフする。DSP-A500は、更に、スーパーメザニンをリセットすることが可能である。

【0033】スーパーメザニン445は入力データブロックの終りにDSP-A500へインタラプトを送給する能力を有している。スーパーメザニン445は、特定した数の入力データブロックの後にDSP-A500へ、インタラプトを発生するための能力を有している。スーパーメザニン445は、データを損失することなしに一方のバンクが満杯である場合にメモリバンク460、465の間でスイッチすることができる。スーパーメザニンは特定のブロック寸法を受取った後に次のバンクへスイッチするようにセットアップすることが可能である。

【0034】ブロックモード。現在のテストに対する捕獲したものの寸法に基づいて、DSP-A500はテストプログラムにおいて特定されているデータに基づいてスーパーメザニン445内に転送カウンタを設定する。スーパーメザニン445が転送カウンタ内において特定されている寸法に対応してAMS335からデータブロック(レコードとしても知られている)を受取ると、スーパーメザニン445はDSP-A500に対してインタラプトを発生する。DSP-A500は、AMS335からある数の入力ブロックが送られた後においてのみインタラプトが発生されるようにスーパーメザニン445を構成させることができる。DSP-A500がスーパーメザニン445からインタラプトを受取ると、それはメモリバンク内のデータの処理を開始する。DSP-A500はAMS335がデータを書込んでいるバンクへアクセスすることはできない。更に、DSP-A500は、AMS335がデータを書込んでいる間に、AMS335からの次の入力に対する必要なレジスタをセッティングすることも可能である。このモードにおいては、DSP-A500はAMS335によってアクセスされている1つを防いで、全てのバンクへアクセスする。

【0035】図6及び7はブロック動作モードにおける

スーパーメザニン(MS)445を示している。図6において、DSP-A500がメモリバンク465からデータを読取っている間にAMS335がメモリバンク460へ書きを行なっている。SM445内のレジスタ600が入力ブロックの寸法、例えば1024バイトを表わす「XterLen」の値を保持し、且つAMS335からバンク460へ転送されるデータのカウントを表わす「XferCount」の値を保持している。図6において、DSP-A500はAMS335からのデータを受付けるべくレジスタをセットアップしている。AMSがバンク460内データを入力している間に、DSP-A500はバンク460内のデータへアクセスすることはできず。DSP-A500は次の入力に対しレジスタをセットアップする。特定した転送長さの終りにおいて、SM445はDSP-A500へインタラプトを送る。次いで、DSP-A500は図7に示したようにAMS335のアクセスをバンク460からバンク465へ変更する。必要なレジスタは既にDSP-A500によってセットアップされているので、何等データロスが発生することはない。この時点において、AMS335がバンク465を充填している間に、DSP-A500はバンク460内のデータを処理する。

【0036】実時間モード。実時間動作モードにおいては、データが継続してAMS335からDSP-A500へ転送される。

【0037】本明細書において説明する本発明に基づく好適な混合信号テストシステムは、シュルン・ベルジェーITS9000FXデジタルテストシステムのデジタルサブシステムに基づいており且つそれを利用している。そのデジタルテストシステムは、例えば、カリフォルニア州サンノゼのシュルン・ベルジェテクノロジーインコーポレイテッドによって発行されたシュルン・ベルジェーITS9000FXハードウェア参照マニュアル、発行番号57010045、第4版、ECO17313、1993年8月に記載されている。このITS9000FXシステムはテストのセットアップ及びプログラミングを簡単化させる「ASAIP」(アドバンスト・シナリオ・クエリ・プログラミング)として知られるソフトウェア環境を包含している。混合信号テスト条件に対応するため、低ノイズパワー及び接地分布が与えられ、アナログサブシステム及び計装セットが付加され、且つASAIPソフトウェア環境は、混合信号テストノード用エアの制御のためのハーネスを提供する。

【0038】図8はITS9000FXシステムに基づいた本発明の混合信号テストシステム実施例の全体的なアーキテクチャを示したブロック図である。DSPモジュール440はCPUケージ内に収納されており且つVMEバス565を介して中央処理装置(例えば、パラレルI/Oセサに基づいた「フォーム(FORM)」+CPU)805及びメモリ810と通信を行なう。CPU

805は、更にユーザープログラミング及びテストシステムの制御のためにスクリーン820と入力/出力装置(図4示)とを具備するワークステーション815と通信を行なう。CPU805は、更に、システムステータク制御器(SSC)825と通信を行なう。VME対カスクイインターフェース(VTI)828は、VMEバス515へ取付けられている要素とその他のカードケージ内に位置されている高速インターフェース(HSI)モジュールとの間において高速バスを介しての通信を可能としており、例えば、制御(C)ケージ835内のHSI830、高速ビン(H)ケージ845内のHSI840(及びその他の6個のHケージにおけるそのようなHSIユニットを含し)、且つアナログ(AN)ケージ855におけるHSI850を介して通信を行なうことを可能とする。Cケージは、グローバルタイミング及びアドレス発生を与える全ての高速ビンスライスカードとインターフェースする。HSIに加えて、各Hケージはクロックバッファカード及び最大で16個のビンスライスカードと適合されている。各ビンスライスカードは4個のテストヘッドチャンネルを制御する。Hケージ当たり2つのサブルーチンメモリ及び別のデータマルチブレクサ(SMADM)モジュールは、各々が32個のチャンネルを制御するように適合させることができある。

【0039】VTI828は、更に、VMEバス515へ取付けられている要素とテストヘッド内のテストヘッドインターフェース(THI)モジュール858との間のテストヘッドバスを介して、例えば、テストの前にアナログチャンネルの種々の要素に対しCPU805からのセットアップ情報を通信し且つテストの後に情報を検索するために、通信を行なうことを可能としている。時間測定ユニット250は選択した周波数においてのデジタルクロック信号をテスト周期発生器(TPG)回路860へ供給する。メインシーケンス制御メモリ(MSCM)865、命令デコーダ870、デバッグ制御器875及びクロックハッファ880も制御(C)ケージ835内に収容されている。クロックバッファ885及び890は、夫々、Hケージ845及びANケージ855内に設けられている。制御可能なサブルーチンメモリ及び交換のデータマルチブレクサ405は、アナログ供給源Hケージ835から又はその他のオプション(SCAN及び自動プログラム発生器(APG)バターン供給源)からのデジタルバターンを選択し且つ格納すること可能である。直流(DC)サブシステム895がDC11VのDC特性の測定のために設けられている。

【0040】図9はこのようなテストシステムのハイレベル動作を制御するためのテストAはセサ(例えば、CPU805)において稼動するHケージ、ワークステーションのディスプレイチャートを示している。動作はクロック900からスタートする。クロック910において、このプログラムは、テストが混合信号テスト動作の準備がな

されているか否かをチェックする。その結果が否定である場合には、スケジューラーはデジタルテストを実行すべきものと仮定し且つステップ915へ進行し、デジタルテスト用に「ASA P」ソフトウェア環境を使用する。一方、その結果が肯定である場合には、スケジューラーはステップ920において何等かのテストが実行を行機しているか否かを判別する。その結果が否定である場合には、スケジューラーはステップ925において動作を停止する。

一方、その結果が肯定である場合には、スケジューラーはステップ930において混合信号テストが行なわれるべきか否かを判別する。その結果が否定である場合には、スケジューラーはステップ935へ進行し「ASA P」ソフトウェア環境を使用してデジタルテストを実行する。一方、その結果が肯定である場合には、スケジューラーはステップ940において実行されるべきテストか「ロードボードツール(Load board tool 1)」という名称のソフトウェアツールによって制御されるべきか否かを判別する。実行されるべきテストかロードボードツールによって制御されるべき場合には、スケジューラーはステップ945において全ての混合信号テストが完了するのを待機し、次いでステップ950においてDSPが現在のテストに対して捕獲データを保持することが可能であるか否かを判別する。その結果が肯定である場合には、スケジューラーは、DSPが1つのメモリバンクを解放するまで、ステップ955においてアイドリング状態を維持する。一方、その結果が肯定である場合には、スケジューラーはステップ960において現在の捕獲データを保持すべくDSPに命令を与える。次いで、スケジューラーはステップ965において現在のテストがロードボードツールソフトウェアによって制御されるか否かを判別する。その結果が否定である場合には、処理の流れはステップ920へ進行する(「A」のマーク)。一方、その結果が肯定である場合には、スケジューラーはステップ970において現在の混合信号テストが完了するのを待機し、次いでステップ920へ進行する(「A」のマーク)。実行されるべき更なるテストが存在しない場合には、スケジューラーはステップ925において動作を停止する。

【0041】ロードボードツールはテストの機能的及び物理的アナログ能力へ容易にユーザがアクセスすることを可能とするソフトウェアインターフェースである。それは、混合信号テストの実行、テストスケッチの用意、及びテストに関与する装置の制御を与える。図10は、ディスプレイ820上においてユーザが見るような機能的表示を示しており、その中にDC11V1000及びその比の表示が示されている。更に、例えば、ウズ等のボイスチャイナ等を選択装置でディスプレイを操作することによってDC11Vの比、ユーザが機能的に接続された装置の表示も示されている。例えば、波形供給源W

F1 及び波形測定WM1からDUTビン1及び2に接続されており、デジタルバターン供給源DP1がDUTビン3へ接続しており、別のデジタルバターン供給源DP2がDUTビン4へ接続されている等である。このディスプレイは、ユーザがセットアップするリレー制御の状態（ON/OFF）及びその他のテストバラメータによって決定されるロードホールドリレーの現在の状態を示している。セットアップが完了すると、ロードポートツールソフトウェアは必要に応じてその他のASAPツールを動作させてテストを実行する（例えば、パターンタイミング、レベル、DC値等を設定するツール）。

【0042】ロードポートツールを介して、ユーザは、更に、計算、信号供給及び測定、Oヒット制御、アナログクロック制御、波形発生及び測定、基準、生産性、仕様要約、システムステータス、シーケンス動作に対する特別のソフトウェアツールを動作させることが可能である。特定のハードウェアを制御するこれらのツールの名前は、好適には、ハートウェアのブロック図を表示し且つそのブロック図との部分をユーザが変更することが可能であるかを表示する。

【0043】「DSPツール」はDSPが適宜の転送機能を実行するようにユーザがプログラムすることを可能とする。図11において示したように、DSPをプログラミングするためのスタンダードなライブラリ機能及びユーザがコード化した機能と共に、图形的インターフェースが提供される。このツールは、更に、ユーザに対して閉ループテストを記述するための機能を提供し、且つ、プログラムデバッグ期間中に、機能に関してブレークポイントを設定し且つアレイデータを表示する能力を提供している。図11は、1100においてDSPツールのサンプルのスクリーン表示を示している。ファイル機能のメニューは1105に示してあり、編集機能のメニューは1110に示してあり、動作機能のメニューは1115に示してあり、計算機能のメニューは1120に示してあり、ユーザが構成することの可能なツールバーは1125に示してある。デバッグ機能のメニューは1130に示してある。これらのメニュー項目の各々は、所望のシステム能力を喚起させるためにマウス又はキーボードの助けを借りてユーザによって選択することができる。

【0044】図12はユーザが定義した機能のみならず、ベクトル、スカラ及びDSPとして分類される広範囲のスタンダードなライブラリ機能を含む動作機能のメニュー・ヒエラルキーを示している。DSP機能は、ハニング(Hanning)窓の計算、複雑な高速フーリエ変換(FFT)の実行、及び時間トメイン自己相関等の公知の動作に対するアルゴリズムを包含している。

【0045】サンプルのユーザが提起した動作シーケンスを図13に示してあり、その場合に、A/D変換器からの信号がローバスフィルタ(LPF)を介して通過さ

れ、格納されたファイルからの信号はハニング窓動作に露呈される。これらの2つの動作の結果は各々高速フーリエ変換(FFT)へ露呈され、回旋され(CONV)。次いで逆高速フーリエ変換(IFFT)が行なわれて所望の結果を発生する。図13に示したような图形を構成することによって、ユーザはシステム動作の詳細な知識なしで所望の動作シーケンスをセットアップすることが可能である。ASAPソフトウェア環境は、ユーザが形成したテストの流れの图形表示から詳細なテストログラムを発生する。

【0046】「測定ツール」はユーザが測定インストルメンテーション(計装)をプログラムすることを可能としている。測定ツールは幾つかのモード、即ちHAWM(高精度波形測定)、HFWM(高周波数波形測定)又はデジタルビン、のうちの1つを選択することを可能としている。各モードにおいて、適切な回路図及び測定シーケンサ図が表示される。このディスプレイはユーザがバラメータをセットすることを促すブロックを有している。測定ツールHAWMダイヤグラムの一例を図13に示してある。HAWMモードにおける測定ツールの主要な機能はオーディオフィルタを設定し、適宜の高精度測定オプションを設定し、且つマルチメータを使用して波形測定装置の電圧出力を測定するためのオプションを提供することである。HFWMモードにおける測定ツールの主要な機能は、適宜の高周波数測定オプションを設定し、ビデオフィルタを設定し、且つマルチメータを使用する波形測定装置の電圧出力を測定するためのオプションを提供することである。デジタルビンモードにおける測定ツールの主要機能は、HCA GEビットマップマルチブレクサ及びアナログ測定マルチブレクサを制御することによって測定シーケンサにおけるデジタルビンをマッピングすることである。アナログ測定シーケンサハードウェアも測定ツールで制御される。アナログ測定シーケンサ・インターフェースの主要な機能は、直接的にDSPへ送信するか又はアナログ測定シーケンサを介してDSPへ送信するかのデータ経路付けをユーザが選択することを可能とし、且つ波形評価プロック、クロック供給源、クロック周波数、スタートアンドストップトリガ、データフォーマット及びデータ捕獲モード等のパラメータをインターフェースに与えることである。

【0047】供給ツール(Source Tool)はアナログ波形、サンプルデータをロードし供給する技術をユーザに与えている。ロードポートツールにおけるハードウェアの設定に依存して、このツールにおいて適宜の装置回路図が表示される。波形ツール(Waveform Tool)は波形を形成するためにこのツールから喚起させることができある。供給ツールは3つのモード、即ちHAWS(高精度波形供給)、HFWS(高周波数波形供給)又はデジタルビンのうちのいずれか1つで動作する。各モードにおいて、適宜の回路図及び供給

シーケンスダイヤグラムが表示される。図14は供給ツールHAWSTライヤグラムディスプレイの一例を示している。HAWSTモードにおける供給ツールの主要な機能は、適宜の高周波数供給オブジェクト及びビデオフィルタを設定することである。デジタルモードにおける供給ツールの主要な機能は、供給レーザンサにおいてデジタルビットをマッピングすることである。アナログ供給シーケンサンサも供給ツールで制御される。アナログ供給シーケンサンターフェースの主要な機能は、DSPからDUTへデータを供給する場合にアナログ供給シーケンサンサハードウェアをバイパスすることをユーザが選択することを可能とし、波形発生ブロック、クロック供給源、クロック周波数、スタートアンドストップトリガ等のパラメータをインターフェースに与えることである。

【0048】その他のユーザがアクセス可能なソフトウェアツールも好適に設けられている。例えば、基準ツールはユーザが基準供給源を制御することを可能とし、且つ周路図の機能的表示を表示する。波形ツールは発生されるべき波形の图形表示を形成する方法を与えている。Cヒットツールは「C」ヒットリレーを制御し、全てのロードホールドユーザリーハードウェアのブロック図を表示し且つどの部分がユーザによって変更することが可能であるかを表示する。アナログクロックツールはユーザがアナログクロック動作を操作し且つテストのシーケンス供給ハーフウェアを操作することを助け、アナログクロック動作及びジャッター供給ハーフウェアの图形を表示し、マスタクロックを制御し且つその图形のどの部分をユーザが変更することが可能であるかを表示する。シーケンスツール(Sequence Tool)は混合信号テスト期間中に実行されるテストの活動の順番をユーザが特定することを可能とする。

【0049】上述した图形ソフトウェアツールは、好適には、ユーザによるシステムセットアップを簡単化するために使用されるが、そのようなセットアップは、例えばユーザによるテストプログラムの直接的な発生等その他の公知の手段によって行なうことも可能である。ユーザによってセットアップが行なわれると、CPU805はセットアップ及び制御及びシーケンス情報をVFE1828、Dケージ、日ケージ及びANケージにおけるHSコントロル及びTDS1858を通してシステムのハーフウェアモジュールへ通過させる。このようにして柔軟に構成することの可能な供給及び測定装置を有する複数個のアナログチャンネルが使用可能であることは、システムが広範囲の混合信号テスト上、例えば430乃至320を参照して説明するようなテストを効率的に実行することを可能とする。

【0050】図15は、テストセッティング及び動作を制御する場合に有用な制御ツール(Control Tool)のソフトウェアツールの图形表示を示している。こ

- の表示は、例えば、ワークステーションに2000のディスプレイスクリーンの「ウインドウ」内に表われ、且つテストプログラム名称の付いた各コントリ用のブロック、及び「Load」、「Load (ロード)」、「Install」(インストール)、「Init (初期化)」、「Begin (開始)」、「Reset (リセット)」、「FlowTool (流れツール)」、「Timing (タイミング)」等の名称の付いた機能を活性化させるために制御装置(例えば、「マウス」又はその他のポイント・アンド・クリック装置)によって選択することの可能な「ボタン」を有している。
- 【0051】図16は制御ツールディスプレイのサブウインドウを示しており、その中には、ワークステーション2000へ接続されており且つそれを介して制御可能なテストシステムT1、T2、M及びT3を表わすアイコンが示されている。テストシステムT1及びT3は、この例においては、デジタルテスト(例えば、スタンダードのTS9000EXテストシステム)であり、一方テストシステムT2、「Mは本明細書に説明するような混合信号テストである。「T2」「M」アイコンをユーザが選択すると、図17に示したような表示が表われ、その場合に、「T2」「M」の記号の付いたブロックが混合信号テストの夫々のテストヘッドを表わすインジケータへ取付けられた状態で示される。図示した例においては、テストヘッド#1「TH1」用のインジケータは、そのテストヘッドが使用可能であることを表わしており、一方テストヘッド#2に対するインジケータは、そのテストヘッドが現在使用不可能であることを示している。
- 「TH1」の記号の付いたインジケータを選択することによって、ユーザはシステムに対してテストヘッド#1の動作の準備をするべく指示を与える。ユーザがテストプログラム名称をエンターシ且つ「Load」アイコン(図15参照)を選択すると、図18に示したようなテストプログラム「10」ウインドウが表示されて、テストプログラム動作のステータス、例えば「テストプログラムロード」、「テストプログラム停止」等のステータスを表示する。
- 【0052】図15の「FlowTool」アイコンを選択することによって、ユーザは図1に示したような「FlowTool」表示ウインドウを活性化させらることが可能である。このFlowTool(流れツール)表示は、TS9000EXテストシステムの「ASA」ツールを使用してテストの流れをユーザが定義することを助ける。図19の簡単な例においては、テストは「Begin」の記号の付いたブロックで開始し且つ33MHzクロック速度でDUTの機能的デジタルテストを実行する(33MHzと「Test」)セグメントへ進行する。この33MHzテストを行なう(右格)すると、テストの流れは混合信号「MT」とセグメントへ移

る。そうでない場合には、テストの流れは「20MHz Test」セグメント等へ進行する。単一テストセグメント、例えば「MT test」セクメントを実行すべき場合には、ユーザは、そのセクメントのみを実行するために選択すべきボタンを具備する図20に示したようなサブウインドウディスプレイを得るために、図19から対応するアイコンを選択することが可能である。単一セグメント又は選択した一群のセクメントの実行は、テストを開発中にテストのデバッグを行なう場合に有用な場合がある。

【0053】ASAPランタイム実行環境は、テストプログラムプロセス及びテストCPUに関するサポートプロセスから構成されている。テストデータ制御(TDC)ソフトウェアはデータ転送用インターフェースを有え且つUNIX TCP/IPのソケットをベースとした通信プロトコル上で実現されたランタイムプロセスに対するイベント通知をサポートしている。テストコンピュータ210上で稼動するTDCプロセスは、例えば、アナログサブシステムの構成(「Load」)、アナログハードウェアのインストール(「Install」)、アナログハードウェアの初期化(「Init」)、アナログテスト実行(「Execute」)、DSP結果の管理、及びアナログデータロック処理等のアナログランタイムサービス要求を取扱うためのステップメントを有している。

【0054】図21は本発明に基づく種々の流れにおける混合信号テストのランタイム動作に対する状態線図を示している。ランタイム実行プロセスはイベント駆動型状態モデルに基づいているので、状態線図技術はランタイムの流れを記述する。流れはイベント、状態、活動及び結果の寄せ集めである。ランタイムプロセス制御は、ASAP環境内におけるアナログサブシステムを操作するための機能を提供している。この流れの一部を図23～29のサブ状態線図に示してあり、特定の流れのより詳細、状態変化を発生させるイベント、及び状態変化から得られる活動を示している。実線の枠内は初期状態及びオプション条件を表わしている。点線の区切りは同時に発生する状態を示している。

【0055】ユーザは、上述したようなグラフィカルユーザインターフェース(GUI)か又はキーボードによるコマンドの直接的エントリ等のオペレータインターフェース、シリアル(01C)技術によって、ワークステーション200を介して命令を与える。GUI又は01Cユーザがランタイムサービスを要求するか又は実行プロセスからランタイム実行サイクル期間中にイベント(例えば、データロカが必要とされるか、又は何等かのシステムの致命的なエラーが発生したか又はテスト結果を重に処理する準備がなされている等)を検知すると、イベントが発生する場合がある。イベントによって確立されている状態はランタイムプロセス活動を制御する。そして

トプログラム状態と関連している活動はランタイム動作である。ランタイムプロセスの活動に基いて発生される結果は特定の要求(イベント)に対する回答である。【0056】ロード流れ。ユーザが、(1)制御ツールディスプレイの「Load」ボタンを選択するか、又は(2)LOADコマンドをタイプ入力することによって、ロード機能を要求すると、ランタイムプロセスは、210においてTDC設備からTDC\_SET\_UP\_CONFINGのメッセージタイプを有するTDC動作メッセージを受取る。ランタイムプロセスがこの動作メッセージを受けた後に、それは210において「Load」状態を初期化させる。図23は「Load」状態の活動のサブ状態線図を示している。次いで、例えば2305においてテストヘッド及びDSPに対しコンフィギュレーション(形態乃至構成)ファイル内にデフォルトのセットアップ情報をエンターすることによって、システムコンフィギュレーション(形態又は構成)セットアップを実行する。

【0057】インストール流れ。ユーザが(1)制御ツールの「Install」ボタンを選択するか、(2)流れツールから予め定義したINSTALL(インストール)セグメントを実行するか、又は(3)INSTALLEDコマンドをタイプ入力することによって、ユーザがインストール機能を要求する場合には、ランタイムプロセスは、TDC設備からTDC\_INSTALLのメッセージタイプを有するTDC動作メッセージを受取る。ランタイムプロセスがこの動作メッセージを受けた後に、それは2115において「Install」状態を初期化させる。図24は、「Install」(インストール)状態のアナログ活動を記述するためのサブ状態線図を示している。これらは、2405においてハードウェア変数のリセット及びローディング(例えば、ロードホールドキャリブレーション値)、2410における発生器(供給源)ハードウェアの初期化(例えば、バターンメモリ内へのパターンのローディング)、2415においての捕獲(測定)ハードウェアの初期化、2420においてのDSPの初期化、2425においてのDSPへのプログラムのダウンロード、且つ2430においてのアナログシステムキャリブレーションの実行等を有している。

【0058】初期流れ。ユーザが、(1)制御ツール表示の「Init」ボタンを選択するか、(2)流れツールから予め定義したINITセクメントを実行するか、又は(3)INITコマンドをタイプ入力することによって初期化機能を要求すると、ランタイムプロセスは、TDC設備からTDC\_INITのメッセージタイプを有するTDC動作メッセージを受取る。ランタイムプロセスがこの動作メッセージを受けた後に、それは2120において「Init」状態を初期化させる。図25は「Init」状態に関するアナログ活動のサブ状態線

図を示しており、その場合に、アナログチャネルハードウェアの各要素は既知の状態とされ且つDSPはセットアップがリセットされる。

【0059】実行流れ。ユーザが(1)例えば図20に示したようにテストツールの「EXECUTE(実行)」ボタンを選択するか、(2)例えば図19に示したように流れツールからセグメントを実行するか、又は(3)EXECUTE(実行)コマンドをタイプ入力するかによってテスト実行機能を要求すると、ランタイムプロセスはTDC設備からTDC\_EXECUTEのメッセージタイプを有するTDC動作メッセージを受取る。ランタイムプロセスがこの動作メッセージを受けた後に、それは2125において「EXECUTE(実行)」状態を初期化させる。図21の2125において「execute\_SEGMENT(セグメント実行)」2130、「start\_of\_test(テスト開始)」2135、「HW\_reset\_tester(HWデスタリセット)」2140(ハードウェア高速初期化)、「execute\_test(テスト実行)」2145(これはテスト流れの全てのテストが実行されるまで繰り返し行なわれる)、「end\_of\_test(テスト終了)」2150(これはテスト動作を停止させる)を包含するサブ状態線図を示している。2155において示したように、必要に応じてその他の流れも与えることが可能である。

【0060】図26-29は「Execute(実行)」状態のサブ状態線図を示している。図26は「execute\_test」状態2145の「continue(継続)」モードの更なる詳細を示しており、その場合に、テストは2605においてリセットされ、テストは2610においてセットアップされ、混合信号テストは2615において実行され(「do\_analog\_test」)、デジタルピンエレクトロニクスは2620においてリセットされ(「RTL\_setup\_restore\_pins」)、且つ状態2605-2620のシーケンスは、その流れの全てのテストが実行されるまで継続する。状態2610におけるテストセットアップは、2625においてデジタルピンエレクトロニクスのセットアップ(「RTL\_setup\_open\_pins」)及び2630においてアナログチャネルのセットアップ(「analog\_setup\_allanalog」)に対するサブ状態を含んでいる。図27は2705においてのテスト装置の機能的テストアップ(「レベル、タイミング、バターン」、セットアップ)、2710においてのDSPセットアップ、2715においてのシーケンサ波形セットアップ(「do\_a\_digital\_analog\_sequencer」)、2720においての波形供給源セットアップ(「src\_set\_up\_hw」)、2725においての波形測定セットアップ(「meas\_setup\_wm」)を含むするア

10  
2030  
40

50

ナロクチャネルセットアップ状態2630のサブ状態線図を示している。

【0061】図28は、2805におけるテストスタート状態及び、2810において測定シーケンサをスタートさせ、2815において供給源シーケンサをスタートさせ、且つ2820において機能的テスト(「f test」)をスタートさせるそのサブ状態を含むアナログテスト状態2615のサブ状態線図を示している。停止条件が発生すると、テストは状態2825において停止し且つテスト結果は状態2830においてDSPにおいて処理するために転送される。図29はアナログテスト停止のサブ状態線図を示している。DSPは状態2905においてボーリングされて、それかその動作を完了したか否かを判別し、一方タイムアウトクロック状態2910においてチェックされる。DSPかその動作を完了しているか又はタイムアウトクロックが経過すると、供給源シーケンサは2915において停止され、測定シーケンサは2920において停止され、「f test」が2925において終了され、且つDSPは2930において停止される。

【0062】図22は関連するハイレベル機能と共にランタイムテスト実行サイクルを完全に完了するためのランタイム状態の順番を示している。テストプログラムがロードされ且つインストールされ、次いでテストが初期化される。図22における垂直二重線の間の部分(「FastInit(高速初期化)」から「EOTBinding(EOTビン処理)」まで)は実行部分であり、それは多様な様態で実行することが可能である。生産においては、この実行サイクルはテストプログラムの流れによって指示されて実行され、例えば、テストされるべき各装置に対して一度実施され且つテストを開始させるコマンドによってビン処理される。プログラミング及びデバッグ期間中に、ユーザは「execute test(テスト実行)」部分又は「execute segment(セグメント実行)」部分又は「execute & continue segment(セグメント実行及び継続)」部分のみを実施する場合がある。

【0063】注意すべきことであるが、「f test start」状態2820は、「f test」のスタートを表わす「eninst(Enable INstrument、即ち装置イネーブル)」トリガに応答して発生する。このトリガは、図4に示したように、アナログ供給源シーケンサ310及びアナログ測定シーケンサ355に供給される。このEINSTトリガは、デジタルサブシステムとアナログインストルメーターション(計装)サブシステムとの間の同期信号であり、且つ、例えば、図8に示したように、命令データ870から供給される最大で256個の個別的なトリガにトマト有する8ビットコード化信号とすること可能である。このEINSTトリガは、例えば、DUT印加されている

デジタルパターンと相対的に特定の点においてのアナログ信号の捕獲を開始するために使用することが可能である。それは、更に、DUTへ印加されるアナログ波形励起が常にテスト毎に及びDUT毎にデジタルパターンと相対的に同一の位相内にあるように該供給源を開始させるために使用することが可能である。EINSTトリガは、供給源シーケンサ内に格納されている波形情報かデジタルビンスライスエレクトロニクスにおけるフレーム化情報と共に働くことが可能であるように、例えばデータが適切な時間にフレーム内に入るように1つのデータステップだけいつ前進するかを供給源シーケンサへ告げるよう、供給源シーケンサを制御するために使用することが可能である。同様に、EINSTトリガは、格納されているフレーム化情報にしたがってフレームから捕獲されているデータをいつ抽出するかを測定シーケンサへ命令を与えるために使用することが可能である。

【0064】図30は1つのタイプの混合信号テストの主要な信号処理を示しており、その場合には、CODECの送信側と受信側との信号対雑音比が決定される。CODECは單一チップ上において、デジタル・アナログ(D/A)変換器及びアナログ・デジタル(A/D)変換器を有しており、多分その他の回路も設けられている。図30の左側の欄は、CODECの送信側(D/A変換器)をテストする場合の処理を示している。図30の右側の欄はCODECの受信側(A/D変換器)をテストする場合の処理を示している。この場合には正弦波であるテスト信号のデジタル表示がテストCPU805において形成され且つシステムセットアップ期間中にアナログ供給源シーケンサ350のメモリ内へロードされる。ユーザによって命令が与えられてテストがセットアップされ且つ全ての必要なセットアップ情報が、VTI828、TH1858及びHSユニット830、840、850等に接続されている高速バスを介して通信されているものと仮定する。

【0065】テストが開始すると、アナログ供給源シーケンサ350はアナログチャンネルの経路C1を介してデジタル表示をサブルーチンメモリ及び交互データマッチブレクサ405へ通しさせる。注意すべきことであるが、この経路は図30において経路Cとして示されているが、実際には、このような1つの経路は4つのアナログチャネルの各々に対して設けられている。説明の便宜上、アナログチャネル1の経路C1は経路C1として言及し、アナログチャネル2の経路C2として言及し、アナログチャネル3の経路C3として言及する。以下(1)の説明を簡単化するために、例えば経路D1を介してデータが連続される場合には、それらはアナログチャネル1のアナログ供給源シーケンサ350によって供給され且つアナログチャネル1の波形供給源エレクトロニクス380によって受取られるものと理解する。アナログチャネル1のDSP-AはDSP-A

A1として言及し且つアナログチャネル2のDSP-AはDSP-A2として言及する。

【0066】システムセットアップ期間中に、デジタルビンスライスエレクトロニクス410は、信号レベル及びタイミング等を含めてDUTに対してどのようにデータをフレーム化し且つフォーマット化するかに関するデータが定義した情報が供給される。テスト期間中に、経路C1上のデータはサブルーチンメモリ及び交互データマッチブレクサ405の制御下でフレーム内へ挿入され10且つDUTに対して適切にデジタルビンスライスエレクトロニクス410においてフォーマット化される。その結果得られるデジタル信号はデジタルビンエレクトロニクス415及び経路E1を介してDUTへ供給される。

【0067】DUTの出力はアナログ正弦波信号であり、それは経路H1を介して波形測定ピンエレクトロニクスWFM390へ供給され、そこで該信号はデジタル化される。その結果得られるデータは経路N1を介してアナログ測定シーケンサ355へ送給され、そこでIEEE浮動小数点フォーマットへ変換される。このIEEE20浮動小数点データは経路K1、スバーメザン445及び経路L1を介してDSP-A1-500へ転送される。DSP-A1-500は捕獲したデータに関して高速フーリエ変換を実施し、次いで信号対雑音比(SNR)の計算を行なう。SNRを計算した後に、DSP-A1はテスト結果、この場合には9.3、5dBの単一の浮動小数点SNR値を表すデータを保持する。DSP-A1-500は、又、例えば偶発的な自由なダイナミックレンジ、全高調波歪等のセットアップ期間中にユーザによって命令された場合に興味のあるその他の関係を計算することが可能である。SNRは、基本周波数Mにおけるパワーの、典型的にDCを排除した1乃至Nのその他の全てのスペクトル成分のパワーに対する比である。全高調波歪は、基本周波数Mにおけるパワーの、基本周波数の高調波におけるパワーに対する比であって、例えば、f0におけるパワーの2f0、3f0及び4f0におけるパワーの和に対する比である。偶発的自由ダイナミックレンジは、基本信号におけるパワーの次に大きなスペクトル成分におけるパワーに対する比である。

【0068】CODECのD/A変換器がアナログチャネル1においてテストされている間に、CODECのA/D変換器は同時的にアナログチャネル2においてテストされる。正弦波を表わすデジタルデータがアナログ供給源シーケンサ350によって経路D2を介して波形供給源380へ供給される。波形供給源は、対応するアナログ正弦波を経路E2上においてDUT上のA/D変換器へ印加する。このA/D変換器の出力は、ケルバーカーを介して、それは経路G2及びデジタルビンエレクトロニクス420を介してデジタルビンエレクトロニクス425へ供給される。デジタルビンエレクトロニクス425において、デジタルデータは論

理スレーブホールドと比較され且つモードセレクトアダプター期間中にユーザによって画定されたシリアルシフターホールド及びタイミング情報を使用して、適宜の時間においてデータプリングする。その結果経路L2上において得られるデータパケットは、典型的に、ビット毎にスクランブルされる。何故ならば、ロードホールドは、好適には、各DUT半ビンを信号経路を交差することなしに最も近いデータビンへ接続すべく構成されているからである。経路L2上でビット毎にスクランブルされたデータはDUT半ビンマルチプレクサ430及びアナログマルチプレクサ435によってスクランブル解除され、これらのマルチプレクサはシステムセットアップ期間中に適宜の形態に設定されている。経路J2上のスクランブル解除されたデータはアナログ測定シーケンサ355においてI-E-E浮動小数点フォーマットへ変換され（それはDSP処理のために好適なフォーマットである）、且つ経路K2、スーパー・メザニン445及び経路L2を介してDSP-A2-500へ供給される。DSP-A2-500はこのデータに関して高速 Fourier 変換を実施し且つSNR及びその他のユーザが画定したパラメータを計算する。SNRを計算した後に、DSP-A2はテスト結果を保持し、この例においては、SNR値97.3dBを表す單一の浮動小数点数を保持する。その処理を終了すると DSP-A1 及び DSP-A2 の各々はそのことをCPU805へ告げる。CPU805によって質問されると、DSP-A1 及び DSP-A2 は SNR 値を CPU805 へ転送し、CPU805 はその SNR 値をシステムセットアップ期間中にユーザによって確立されたテスト限界に対してテストを行なう。CPU805はCODECが限界内のものであり且つそのテストをパスしたか又は限界外であり且つそのテストに不合格であったかを判別する。上述した実施例におけるように、データが4個のアナログチャンネルを有する場合には、2個のこのようないCODECの送信側及び受信側を同時にテストすることが可能である。同様に、最大で4個までの任意の組合せのA/D変換器及びD/A変換器を同時にテストすることが可能である。

【0069】図31は時折モード、ビットエラー率テストと呼ばれるセドムビットエラーテストの主要な信号処理を示している。DUT。この場合にはモデム(modem)をアナログ信号で駆動し且つその出力をエラーレートとしてモニタする。適切なセットアップ情報がデータを開始する前にデータシステム要素へ供給されているものと仮定する。セドムアダプター期間中に、波形セグメントを表すデータがアナログ供給源シーケンサ350のメモリ内に格納され、従って波形を表すデータがDSP-A1-500からシリアルシフターホールドに応答してアナログ供給源シーケンサ350によって発生される。このデータ期間中に、アナログ供給源シーケンサ350はDSP-A1アドレスモードを動作し、従ってDSP-A1-5

05が経路B1上にユーザが定義したシーケンス0707リームボイント(a, b, b, a, 等)を発生し、アナログ供給源シーケンサは波形セグメントの対応するシーケンスを表すデータを経路D1上に供給する。経路D1上のデータは波形供給源380によってアナログ信号へ変換され、それは経路F1を介してDUTへ印加される。図示した例においては、DUTは周波数シフトキー(FSK)信号で駆動されるか、同一のDSPアドレス技術を使用してフェーズシフトキー、マルチレール、直交変調型又はその他の信号を発生させることが可能である。DUTは印加されたアナログ信号をデジタルワードへ変換し、該デジタルワードは経路G1及びデジタルビンエレクトロニクス420を介してデジタルビンスライスピエレクトロニクス425へ供給される。このテストにおいては、デジタルワードの予測値はテストシステムセットアップ期間中にビンスライスピエレクトロニクス425内に格納されている。これらの予測値はDUTに対してもアナログ信号を発生させるために使用したユーザが画定したパターンと同一である。デジタルビンスライスピエレクトロニクス425は、スタンダートのITS90-00FXデジタルデータにおけるように、実時間でDUTからのデジタルワードを予測値と比較し且つエラーが検知された場合にハードウェア欠陥検知フラグをセットすることが可能である。ユーザがどのようにデータをセットアップしたかに依存して、欠陥検知フラグがセットされた場合にテストが終了されるか又はデバッグを行なうために附加的なデータを収集するためにテストを継続することが可能である。テストが完了すると、欠陥検知フラグ及び又はデバッグのために使用すべきデータはHS1840及びVT1828を介してCPU805へ送信することが可能である。CPU805は、該フラグ及び又はデータから、DUTがビットエラーテストをパスしたか不合格であったかを判別する。

【0070】本発明の混合信号テストは、更に、A/D変換器サーボループコードエラッシュ遷移正確性テストを実施するのに適している。A/D変換器は、連続した範囲にわたって無限の数の可能なアナログ入力値を有しているが、離散的数のデジタル出力値を有しているに過ぎない。A/D変換器を適切に特性づけするために、一つのコードから次のコードへ出力を遷移させる入力電圧の各々を知ることが必要である。コードエラッシュ遷移電圧を決定する一つの方法は、DUTの電圧を印加し且つその応答をモニタすることである。

【0071】図33はこのようなテストを実施する場合のアナログチャンネルにおける主要な信号の流れを示している。その目的とするところは、測定すべき遷移の正の側において、所望のデジタルコードDATTをDUTの出力端において発生させるためにDUTに印加せねばならないアナログ入力電圧を見つけだすことである。High limit及びLow limit値はより

DUTへ印加されるべきアナログ値に対するユーザが定義した限界値である。x(n)の値はテストプロセスの与えられた繰返しn期間中にDUTへ印加されるアナログ電圧である。z+ε及びz-εの値は決定した値のzにおける許容可能なユーザー帯域のユーザが画定した限界値である(即ち、これはzの測定に対する許容可能な分解能である)。変数wは極性フラグ(+1又は-1)の値を持っている)であり、それはDUTへ印加されるべきx

(n)の次の値は前の繰返しから増加されるべきであるか又は減少されるべきであるかを表わす。即ち、DUTへ現在の値x(n)を印加すると所望の遷移コードDATAより高いか又は低い出力コードを発生させるか否かを表わす。y(n)の値は最後のKバス期間中にDUTへ印加されるx(n)の値の移動平均であり、尚Kは移動平均に対するユーザが画定した繰返し数である。テストシステムはテストを開始する前にユーザによって命令されたように初期化されているものと仮定する。

【0072】図32を参照すると、プロセスは既知の値のzの幾分上側又は下側であるユーザの推定値z'を表わす値へ設定された変数x(0)及び初期化された変数w及びnでスタートする。例えば、変数x(0)がユーザによってzの予測値より幾分低い値に設定された場合には、変数wは+1に設定されて、zがx(0)の初期値よりも大きいものであることが予測されることを表わす。変数nは0へ初期化されて、これがテストループの0番目の繰返しであることを表わす。DSP-B1-505は経路B1上のx(1)の値を表わすデータをアナログ供給源シーケンサ350へ供給する。このテストの場合には、供給源シーケンサ350はフロースルーモードにあり、従ってデータは修正されることなしに信号経路D1へ通過され、従って波形供給源380へ供給される。波形供給源380はそのデータをディスクリート即ち離散的なアナログ電圧x(1)へ変換し且つその値を経路F1を介してDUT290へ印加する。DUTは印加されたアナログ電圧x(1)を経路G1を介してフォーマット化したデジタルコードへ変換する。そのデジタルコードはデジタルビンエレクトロニクス420を介して通過され、デジタルビンスライスエレクトロニクス425によってフォーマットが解除されマルチプレクサ430及び435を介して通過され、且つシリアルデータストリームとしてアナログ測定シーケンサ355へ印加される。アナログ測定シーケンサ355はデータバッファ482においてシリアルデータをパラルルデータへ変換し、フォーマット484においてそのパラルルデータを上上上浮動小数点フォーマットへ変換し且つDUT出力のその浮動小数点表示を経路K1上へ供給する。浮動小数点表示(DATA)は二バーメザイン445を介し且つ経路L1を介してDSP-A1-500へ移行し、そこでそれは判別のあるコード遷移DATA-A2と比較される。この繰返しnに対するコードDATA

A nの値がコード遷移DATA-A2の値以上であると、wは次の繰返しに対して+1へセットされる。コードDATA-A nの値がコード遷移DATA-A2よりも低い場合には、wは次の繰返しに対して+1へセットされる。DSP-A1-500は経路M1を介してwの値をメモリ535へ送信し、そこでそれはDSP-B1-500へアクセスすることが可能である。

【0073】DSP-B1-500は変数wの極性を考慮に入れて、各繰返し毎にx(n)の値を積分し、例えば、 $x(n) - x(n-1) + A \cdot w$ であり、尚Aはテストループの1つの繰り返しから次のものへx(n)の値をとの程度インクリメント即ち増分させるかを支配するユーザが画定した変数である。変数Aは一定値とすることも可能であるが、好適には初期的にはzの値が所定の範囲となるまでx(n)の値を大きなステップで移動させることを可能とし、且つzの値がユーザにとって許容可能な分解能で決定されることを確保するために次第にステップ寸法を減少させる適宜のアルゴリズムによって決定される。このような可変ステップ寸法アルゴリズムは、与えられた分解能でテスト結果を得るために必要な繰返し回数を減少させることが可能である。DSP-B1-505は、最後のKバス期間中にDUTへ印加されるアナログ電圧x(n)の移動平均y(n)を維持し、例えば、それは次式のように表わすことが可能である。

## 【0074】

## 【式1】

$$y(n) = \left[ \frac{1}{K} \sum_{k=0}^{K-1} x(n-k) \right]$$

【0075】尚、kは加算指数である。  
【0076】次いで、DSP-B1はnの値をインクリメントし、且つ移動平均が移動した分がユーザが定義した分解能よりも小さいものである場合にはテストループから抜け出る。即ち、 $|y(n) - y(n-1)| < \epsilon$ である場合にループから抜け出る。移動平均がユーザが画定した分解能の範囲内のものでない場合には、DSP-B1は経路B1を介してx(n)のアップデートした値のデジタル表示をアナログ供給源シーケンサ350へ送信する。この流れのループは、DSP-B1がテストループから抜け出るまで繰返し行なわれる。テストループから抜け出ると、DSP-B1はy(n)の値をテストC1-805へ送信する。

【0077】この流れループを介して多数のバスにわたり信号経路D1において時間に関する電圧をモニタする場合には、zの値をオーバーシュートするまでそれは増加する傾向であり、又zの値をアンダーシュートするまで減少する傾向である。即ち、信号経路D1における電圧は多数のバスにわたりコード遷移DATA-A2に関して振動するよう見え、それは次第に減少する振幅の鋸歯状波のように見える。安定化された移動平均y(n)によ

って示されるように、ユーザが画定した分解能限界内においてこの電圧信号がとにに関して安定化すると、y<sub>(n)</sub>の値をコントローラー遷移電圧としてとることが可能である。

【0078】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

#### 【図面の簡単な説明】

【図1】 本発明に基づく混合信号テストの幾つかの機能的能力を示した概略図。

【図2】 本発明に基づく混合信号テストシステムの全体的なアーキテクチャを示した概略図。

【図3】 本発明の好適実施例に基づく混合信号テストシステムの信号チャンネルのハイレベルブロック線図を示した概略図。

【図4】 図3のテストシステムの信号経路の詳細なブロック図。

【図5】 図4のDSPエンジンのハイレベルアーキテクチャを示した概略図。

【図6】 ブロック動作モードにおける図4のアナログチャンネルの1つの状態を示した概略図。

【図7】 ブロック動作モードにある図4のアナログチャンネルの別の状態を示した概略図。

【図8】 本発明に基づく混合信号テストシステムの全体的なアーキテクチャを示した概略ブロック図。

【図9】 本発明に基づくテストシステムのハイレベル動作を制御するためのテストプロセサにおいて走るスケジューラプログラムのフローチャートを示した概略図。

【図10】 本発明に基づいてテストシステムを所定の形態とさせるためのユーザインターフェースの機能的表示を示した概略図。

【図11】 本発明に基づいてテストシステムを所定の形態とさせるための別のユーザインターフェースの表示を示した概略図。

【図12】 本発明に基づくテストシステムのDSP機能の階層的メニューを示した説明図。

【図13】 本発明に基づいて高精度波形測定のためのアナログチャンネルをセットアップするためにパラメータ入力を促すプロックをもったユーザインターフェースの表示を示した概略図。

【図14】 本発明に基づいて高精度波形供給動作を行なうためのアナログチャンネルをセットアップするためにパラメータ入力を促すプロックをもったユーザインターフェースの表示を示した概略図。

【図15】 本発明に基づいてテストを制御するのに有用なソフトウェアツールの特徴を示した1つのグラフィック表示を示した概略図。

10 【図16】 本発明に基づいてテストを制御するのに有用なソフトウェアツールの特徴を示した1つのグラフィック表示を示した概略図。

【図17】 本発明に基づいてテストを制御するのに有用なソフトウェアツールの特徴を示した1つのグラフィック表示を示した概略図。

【図18】 本発明に基づいてテストを制御するのに有用なソフトウェアツールの特徴を示した1つのグラフィック表示を示した概略図。

【図19】 本発明に基づいてテストを制御するのに有用なソフトウェアツールの特徴を示した1つのグラフィック表示を示した概略図。

【図20】 本発明に基づいてテストを制御するのに有用なソフトウェアツールの特徴を示した1つのグラフィック表示を示した概略図。

【図21】 本発明に基づく混合信号テストのランタイム動作に対する状態線図を示した概略図。

【図22】 本発明に基づく混合信号テストの動作シーケンスを示した概略図。

【図23】 本発明に基づく混合信号テストのアナログ要素を所定の形態とするための「コード」サブ状態線図を示した概略図。

【図24】 本発明に基づく混合信号テストのハードウェア要素を初期化させるための「インストール」サブ状態線図を示した概略図。

【図25】 本発明に基づく混合信号テストのアナログ要素を初期化させるための「init(初期化)」サブ状態線図を示した概略図。

【図26】 本発明に基づく混合信号テストにおいてのテストの実行におけるアナログ要素の第一「execute(実行)」サブ状態線図を示した概略図。

【図27】 本発明に基づく混合信号テストにおいてのテストの実行におけるアナログ要素の第二「execute(実行)」サブ状態線図を示した概略図。

【図28】 本発明に基づく混合信号テストにおいてのテストの実行におけるアナログ要素の第三「execute(実行)」サブ状態線図を示した概略図。

【図29】 本発明に基づく混合信号テストにおいてのテストの実行におけるアナログ要素の第四「execute(実行)」サブ状態線図を示した概略図。

【図30】 本発明に基づくCODEC送信/受信信号対雜音比テストの主要な信号処理を示した概略図。

【図31】 本発明に基づくモデムビットエラー率テストの主要な信号処理を示した概略図。

【図32】 本発明に基づくADCサーボループ回路エッジ遷移正確性テストの主要な信号処理を示した概略図。

#### 【符号の説明】

100 混合信号I/O

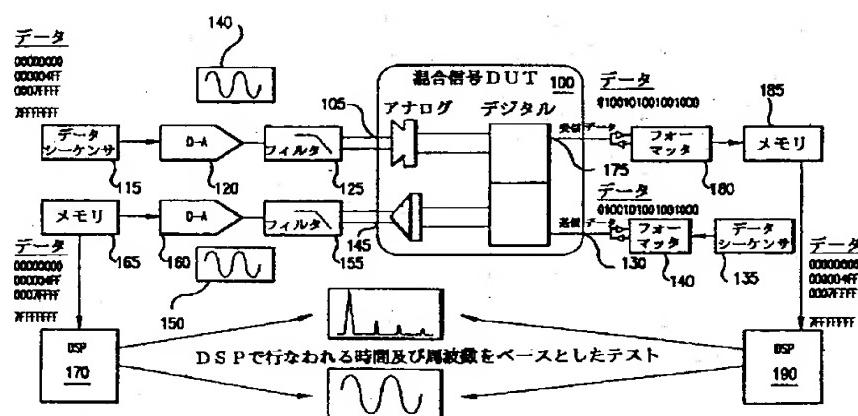
105 アナログ入力端

110 正弦波  
 115 データシーケンサ  
 120 DAC  
 125 フィルタ  
 130 デジタル入力端  
 135 データシーケンサ  
 140 フォーマッタ  
 145 アナログ出力端  
 150 アナログ信号

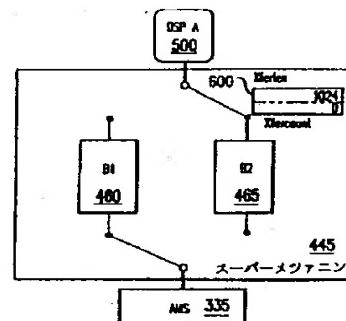
\* 155 フィルタ  
 160 ADC  
 165 捕獲メモリ  
 170 DSP  
 175 デジタル出力端  
 180 フォーマッタ  
 185 捕獲メモリ  
 190 DSP

\*

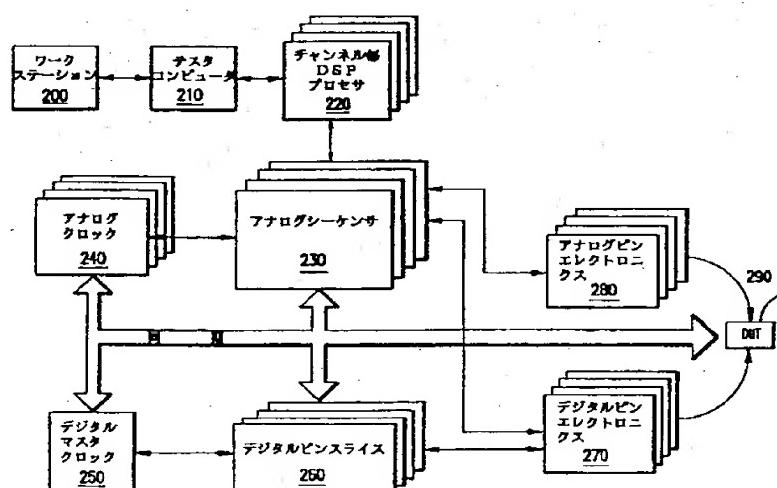
【図1】



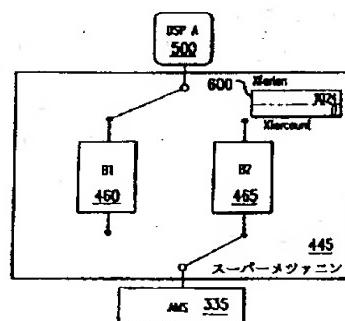
【図6】



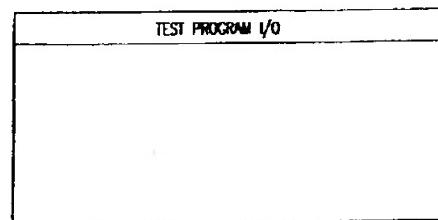
【図2】



【図7】



【図18】

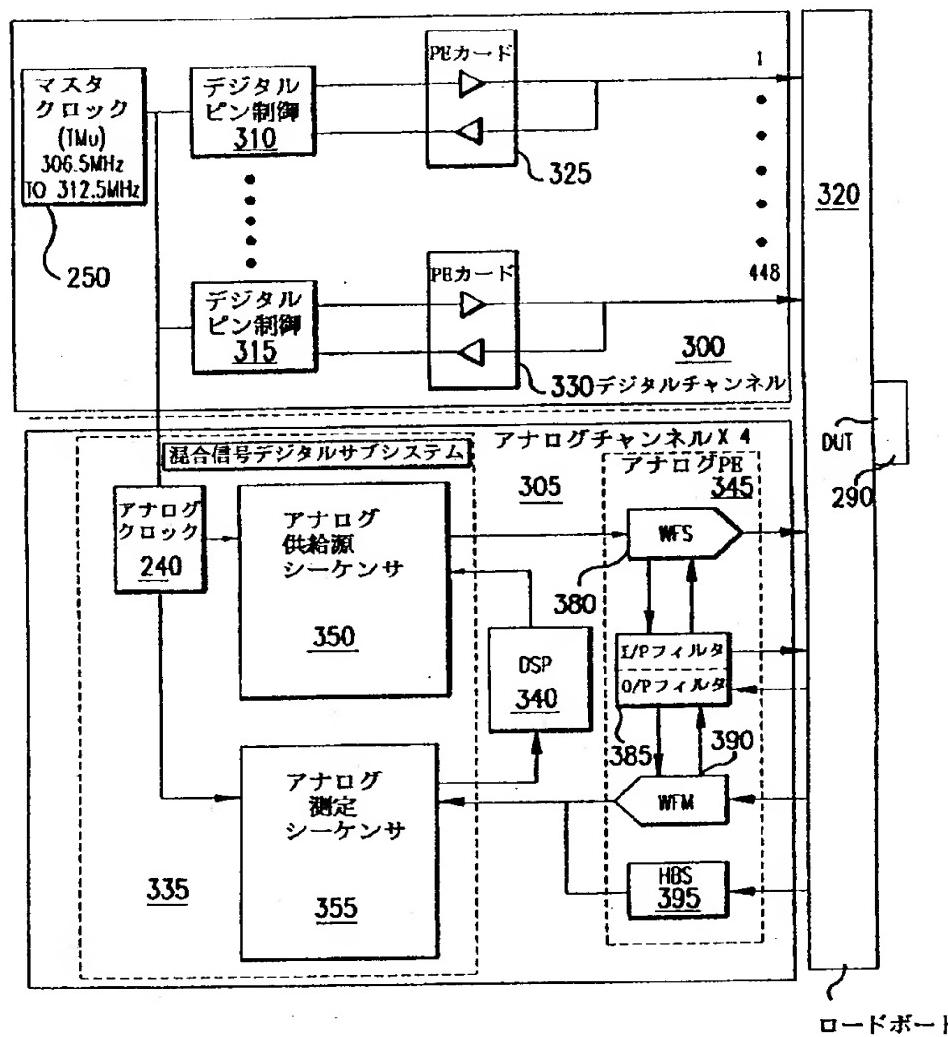


【図16】

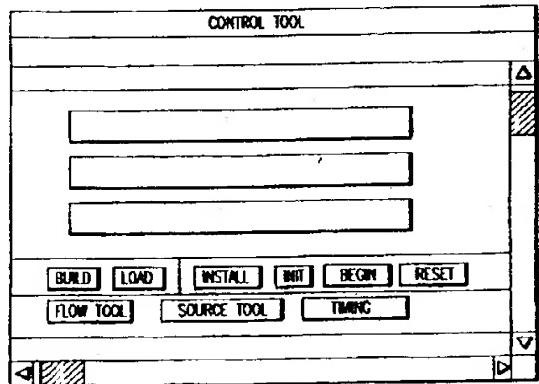
【図17】



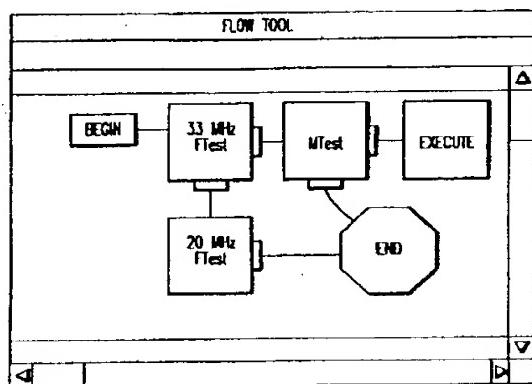
【図3】



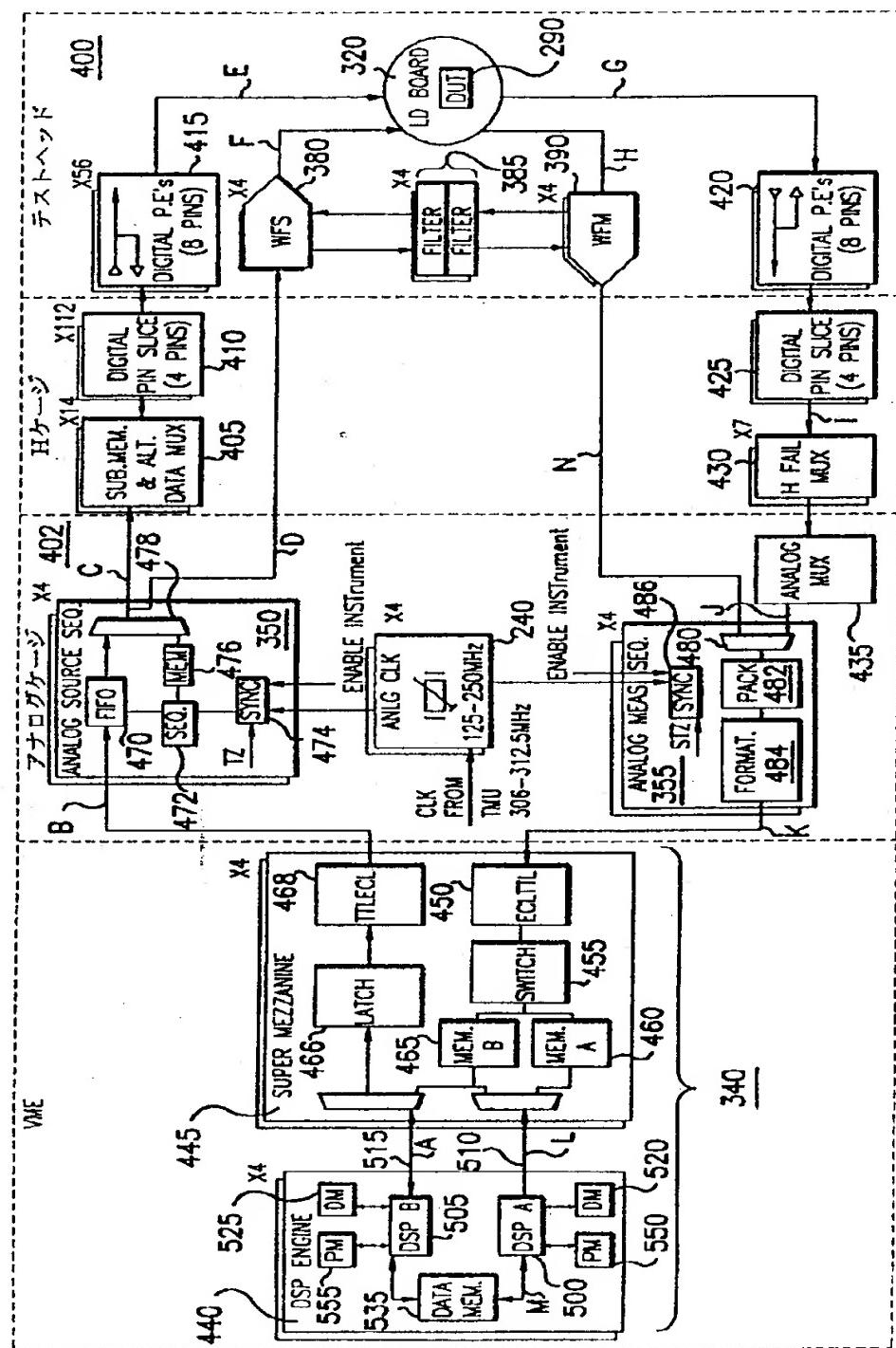
【図15】



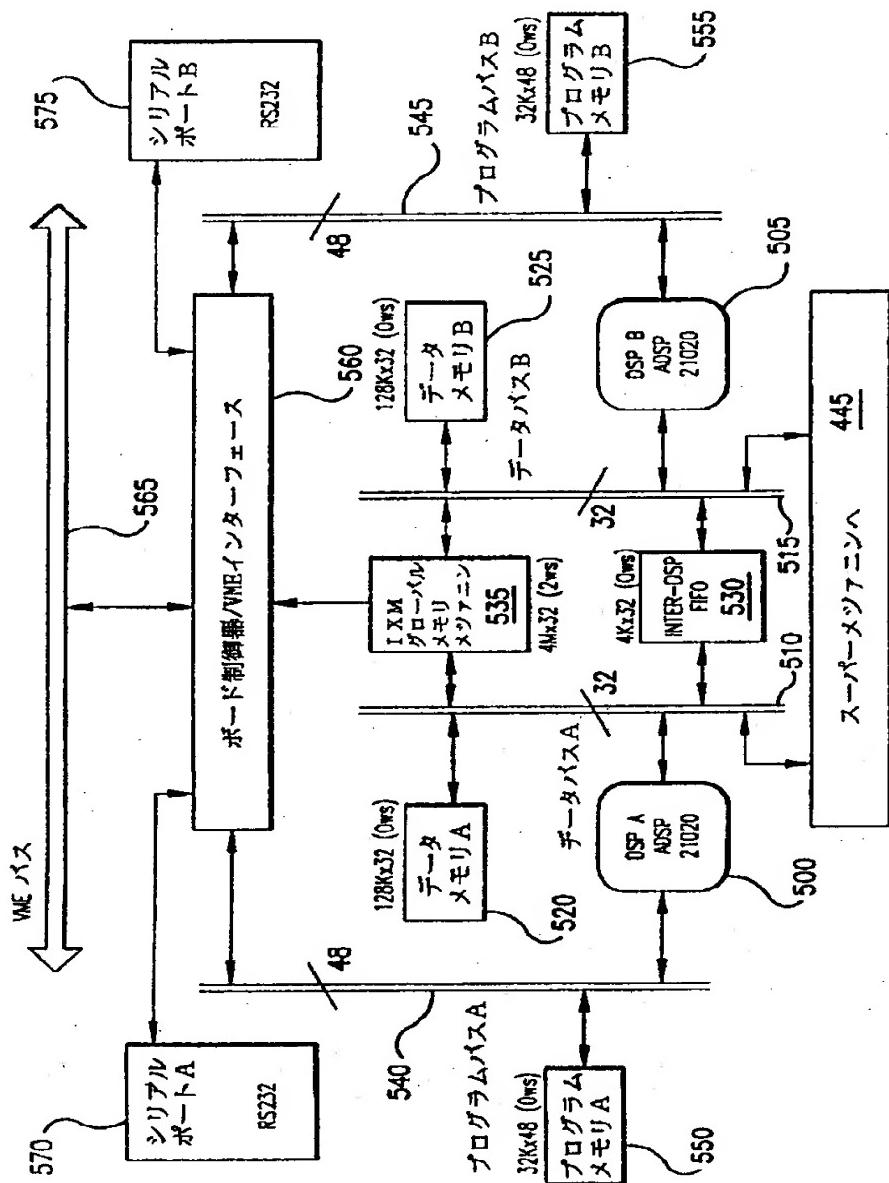
【図19】



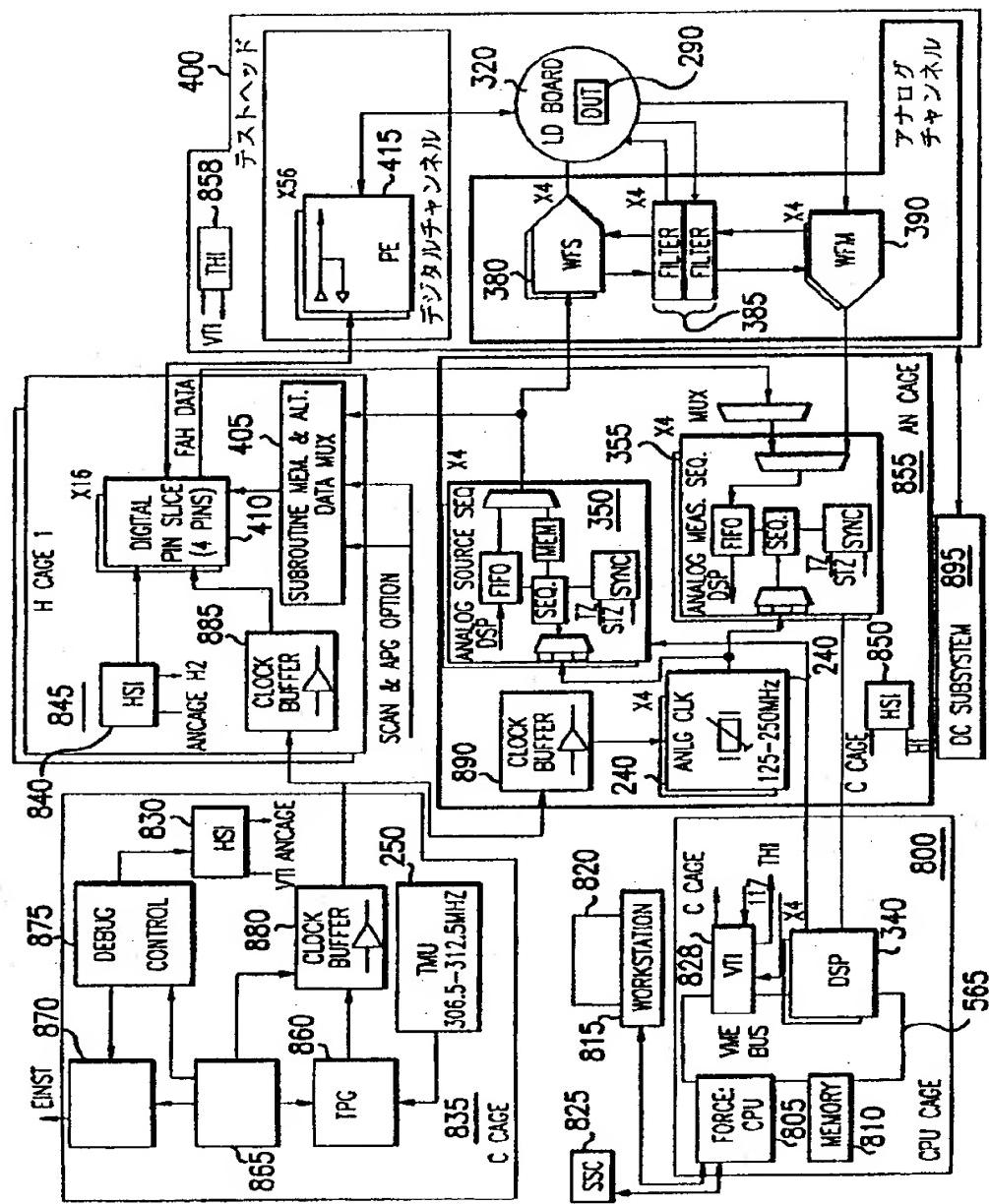
[图4]



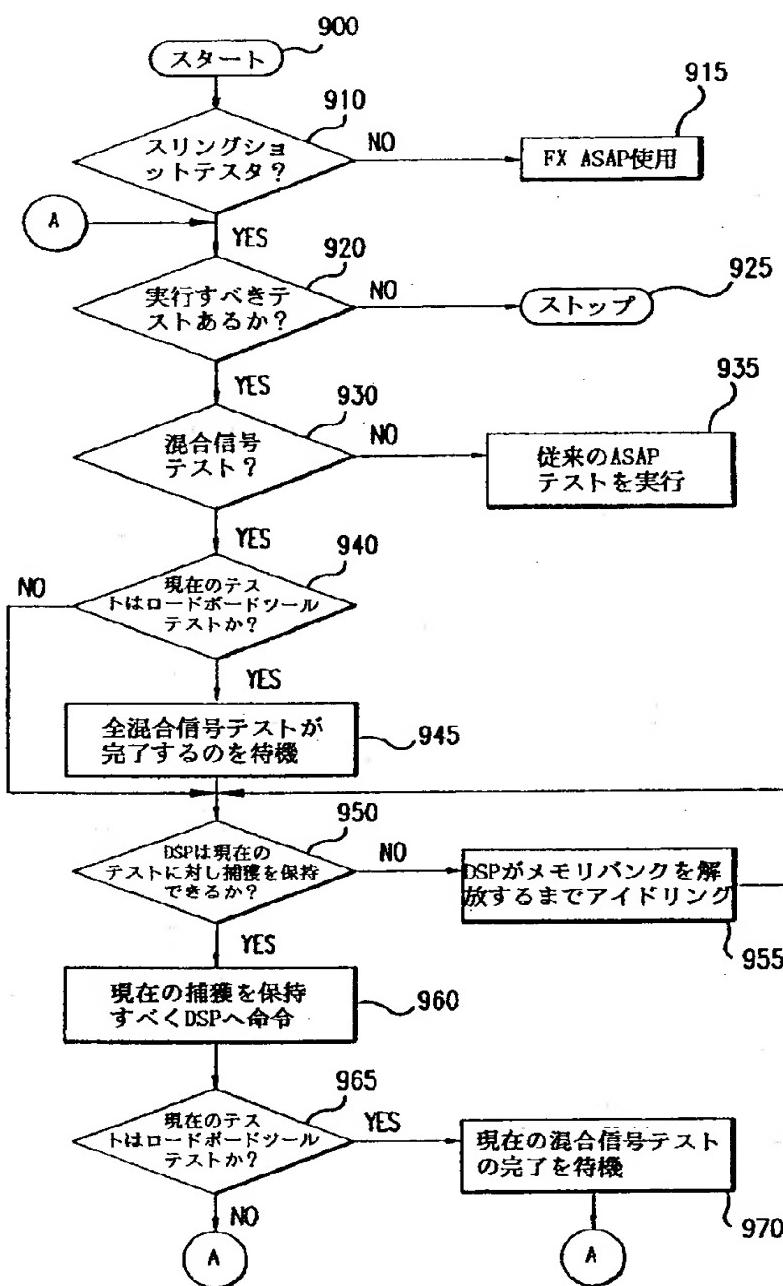
【図5】



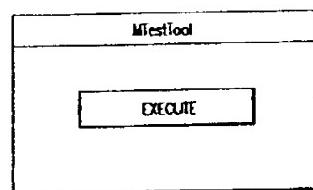
【図8】



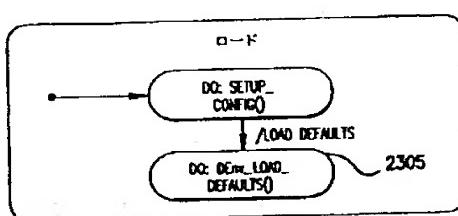
[図9]



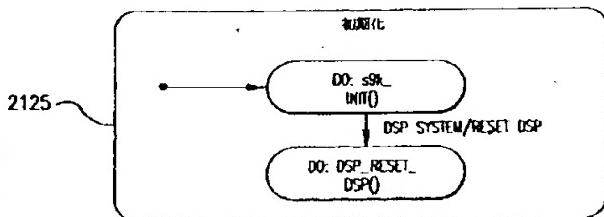
[図20]



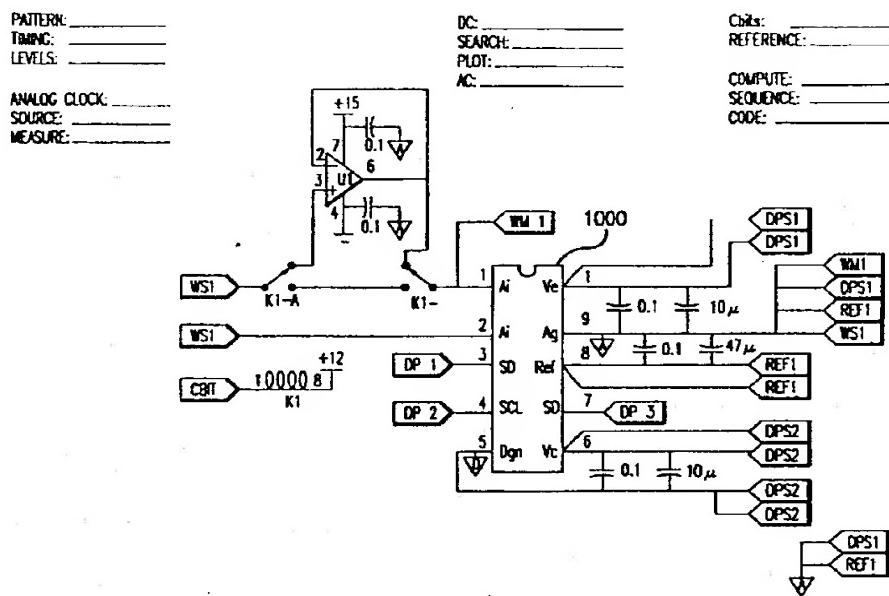
[図23]



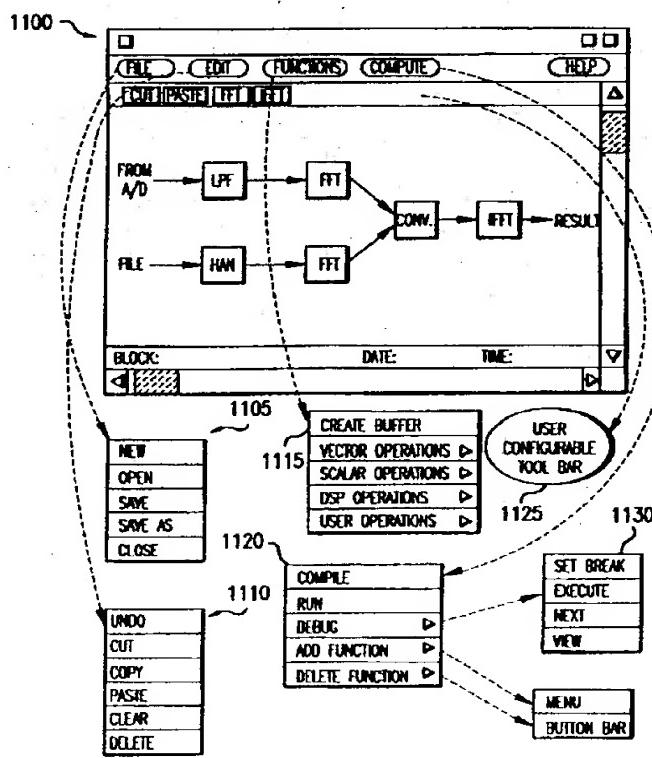
[図25]



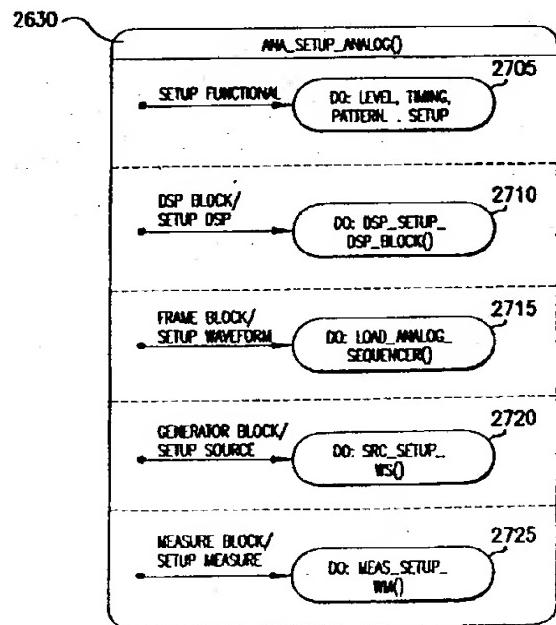
【図10】



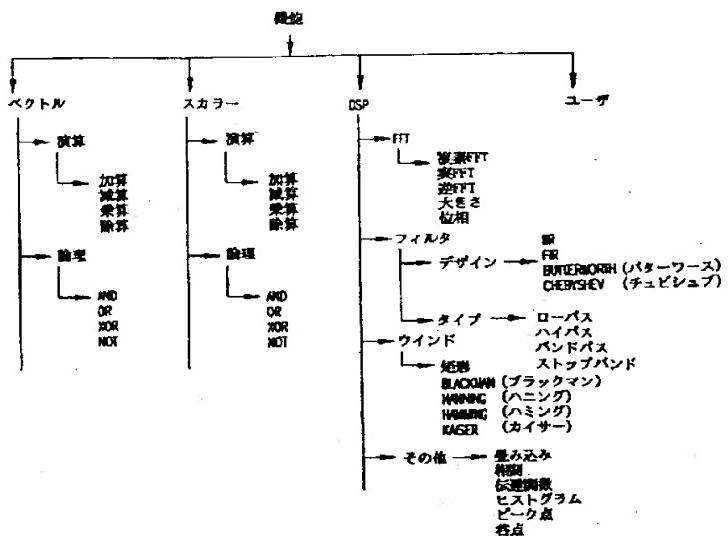
【図11】



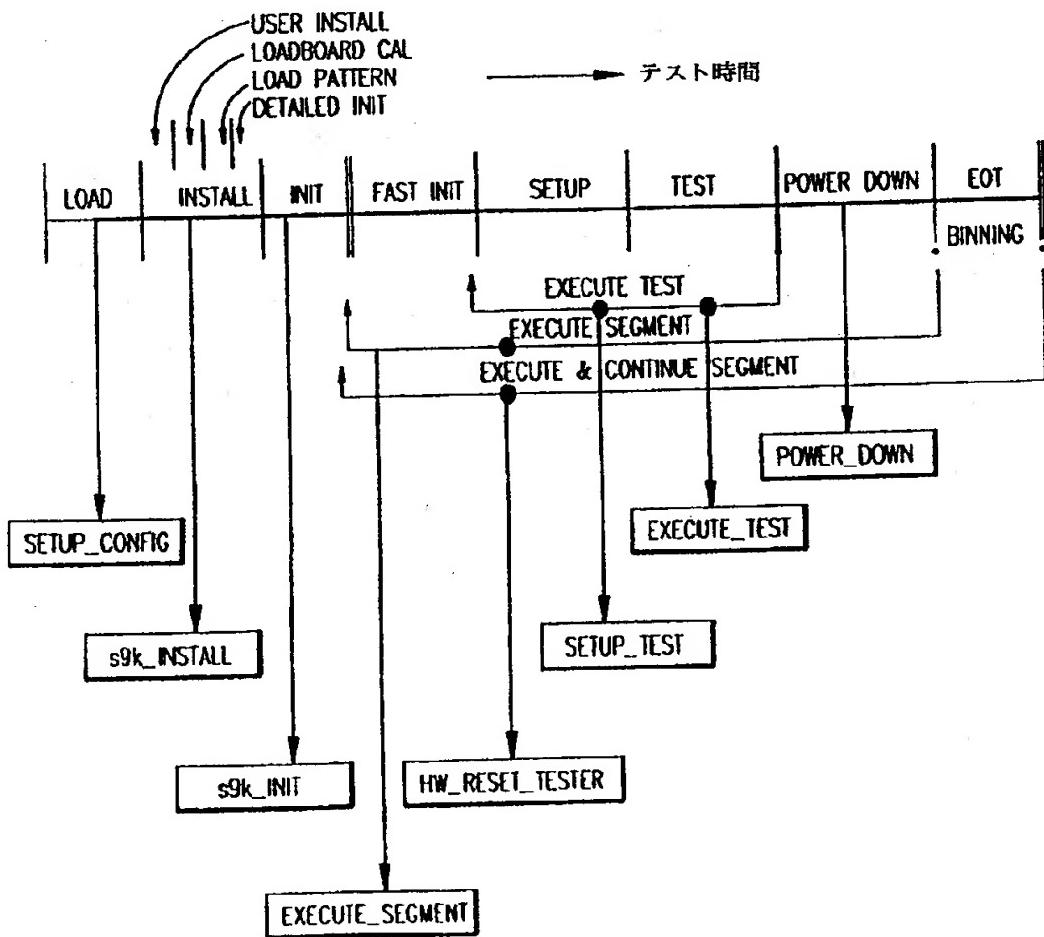
【図27】



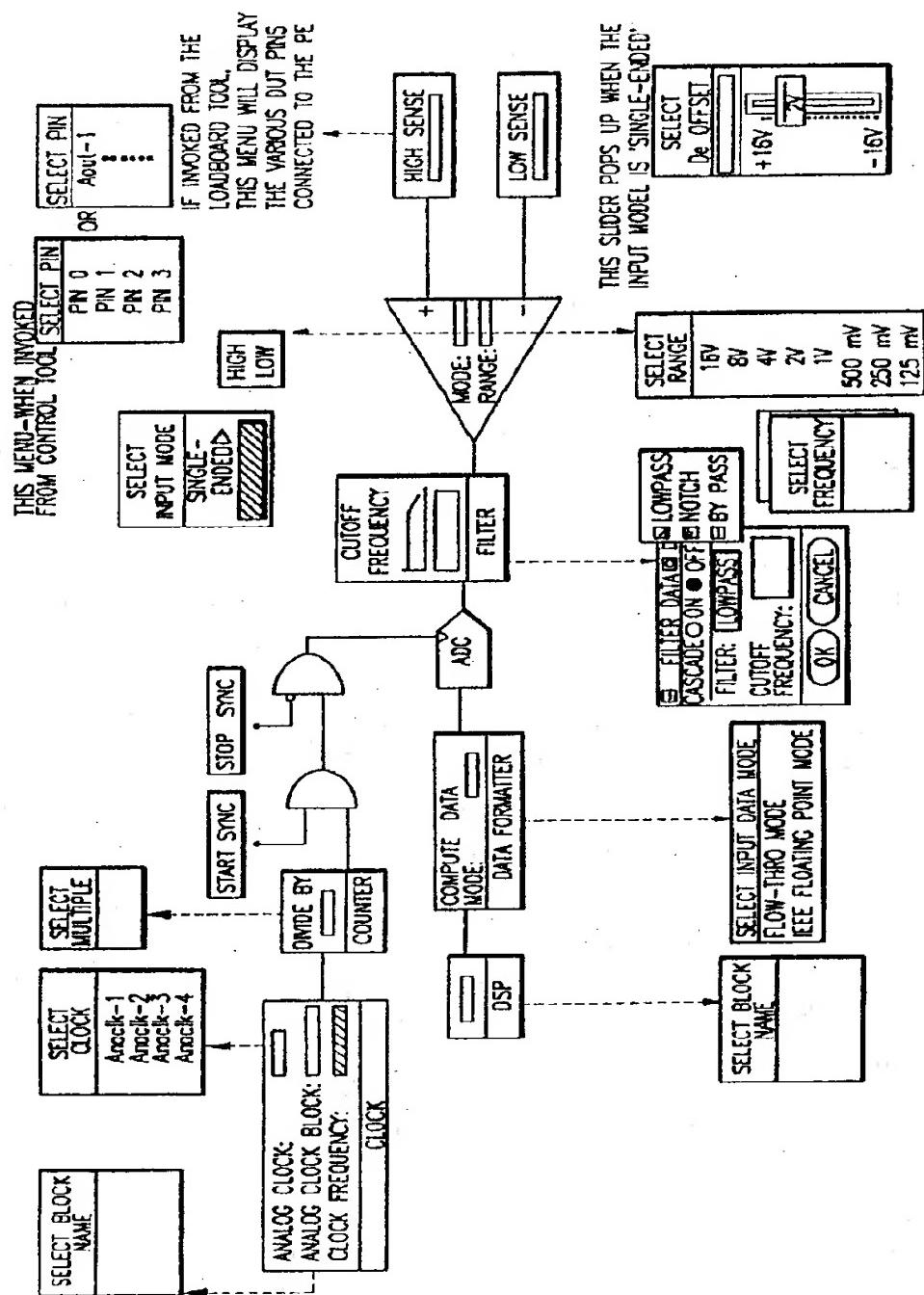
[図12]



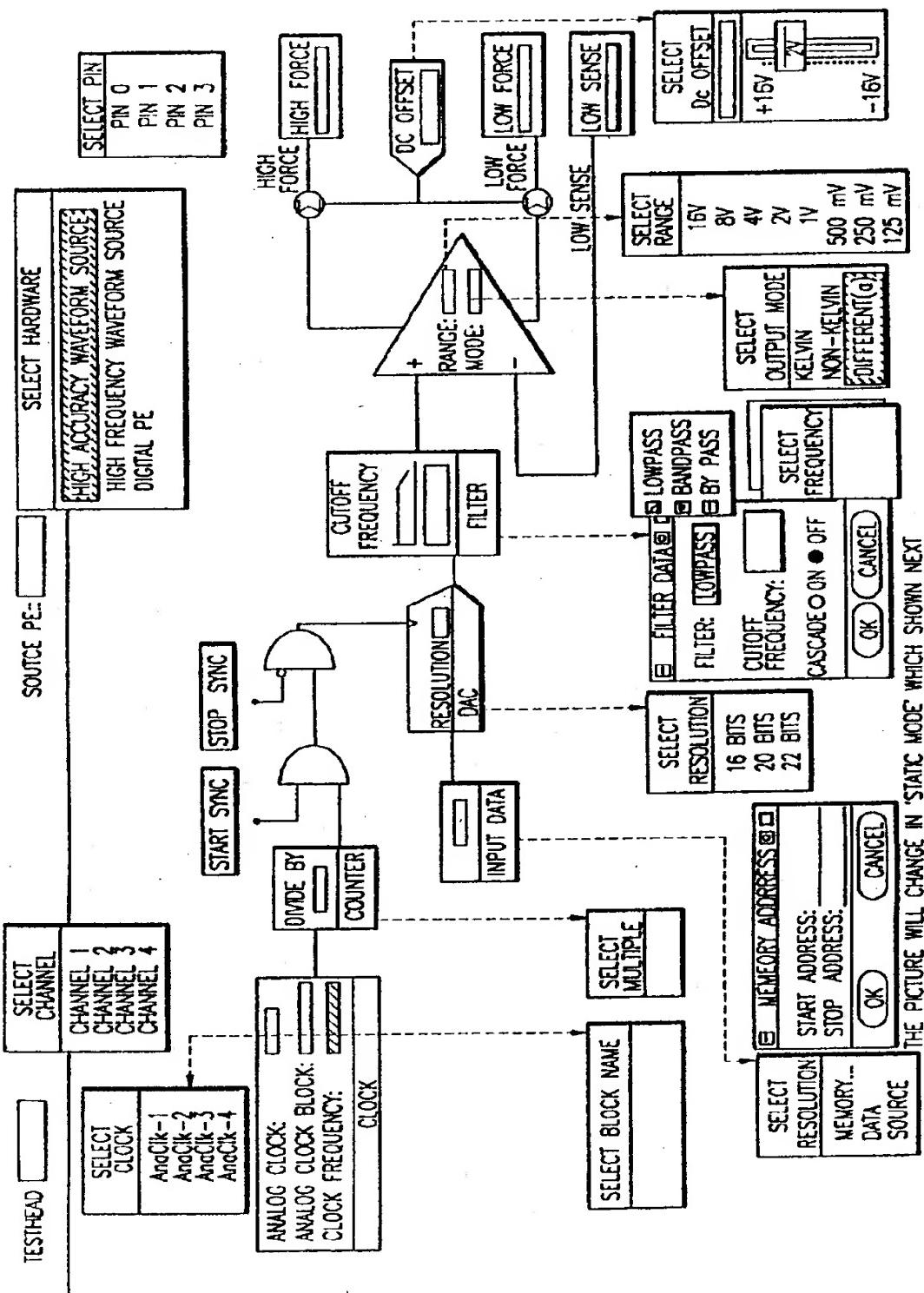
[図22]



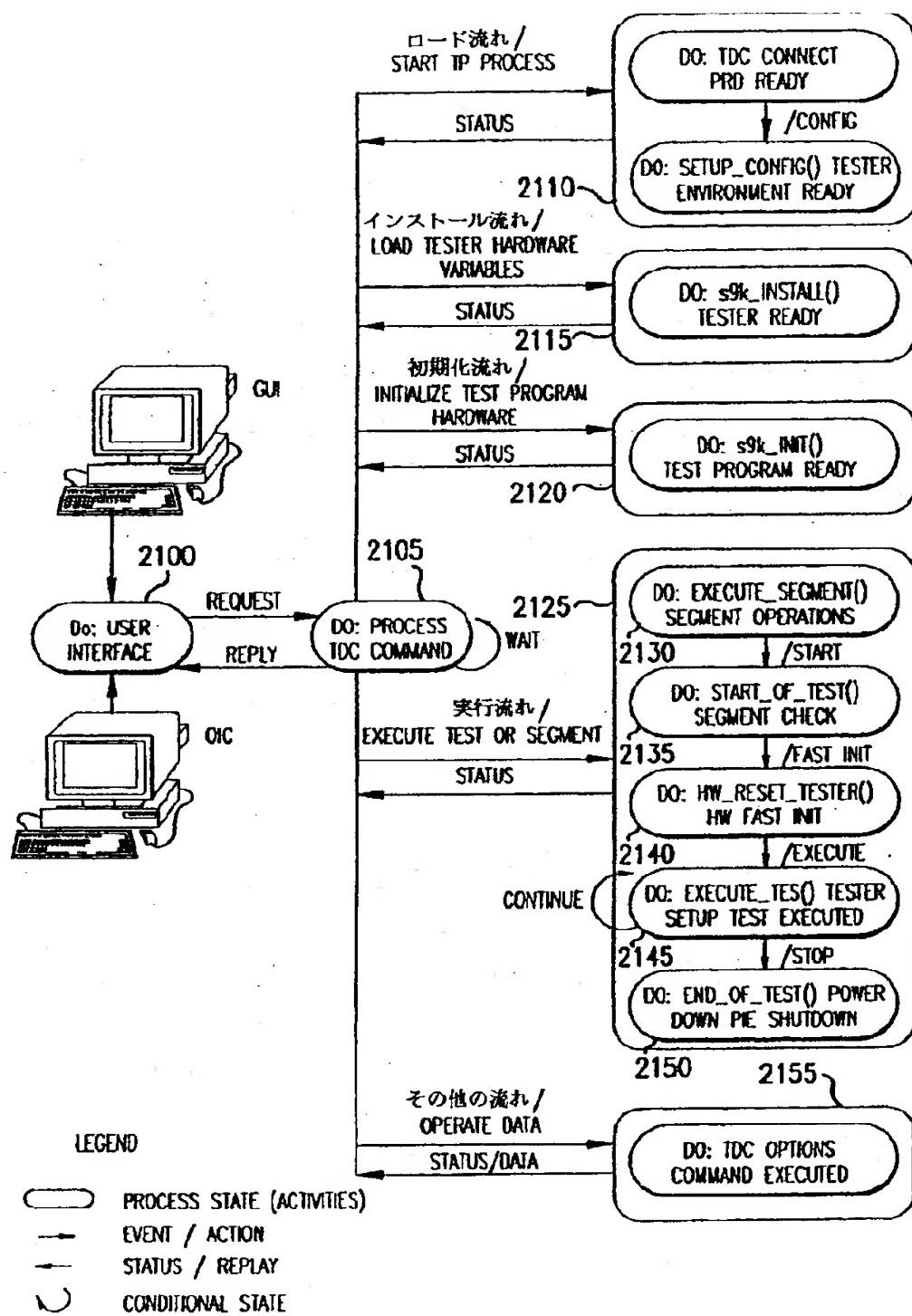
[図13]



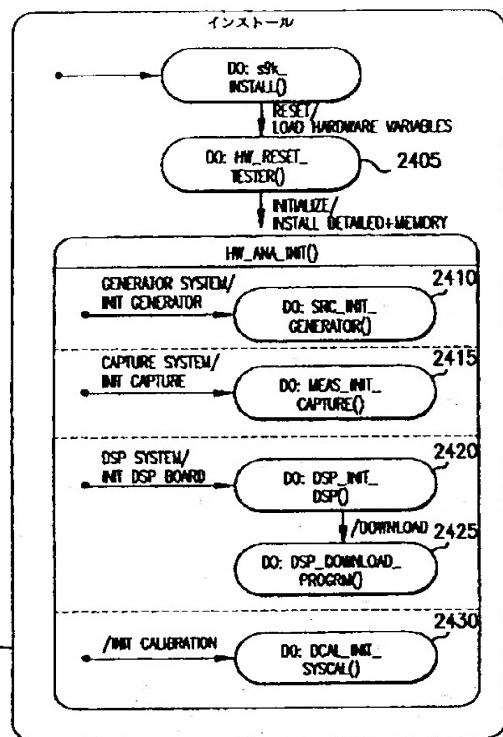
[図14]



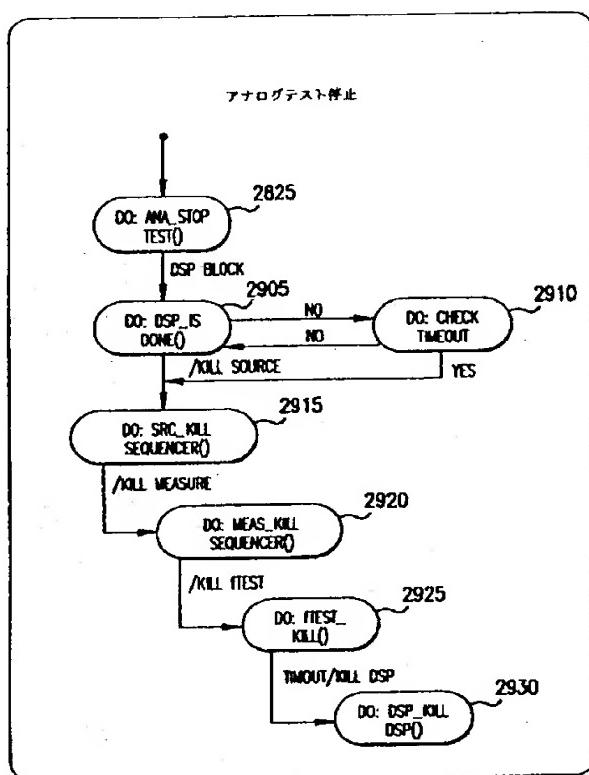
[図21]



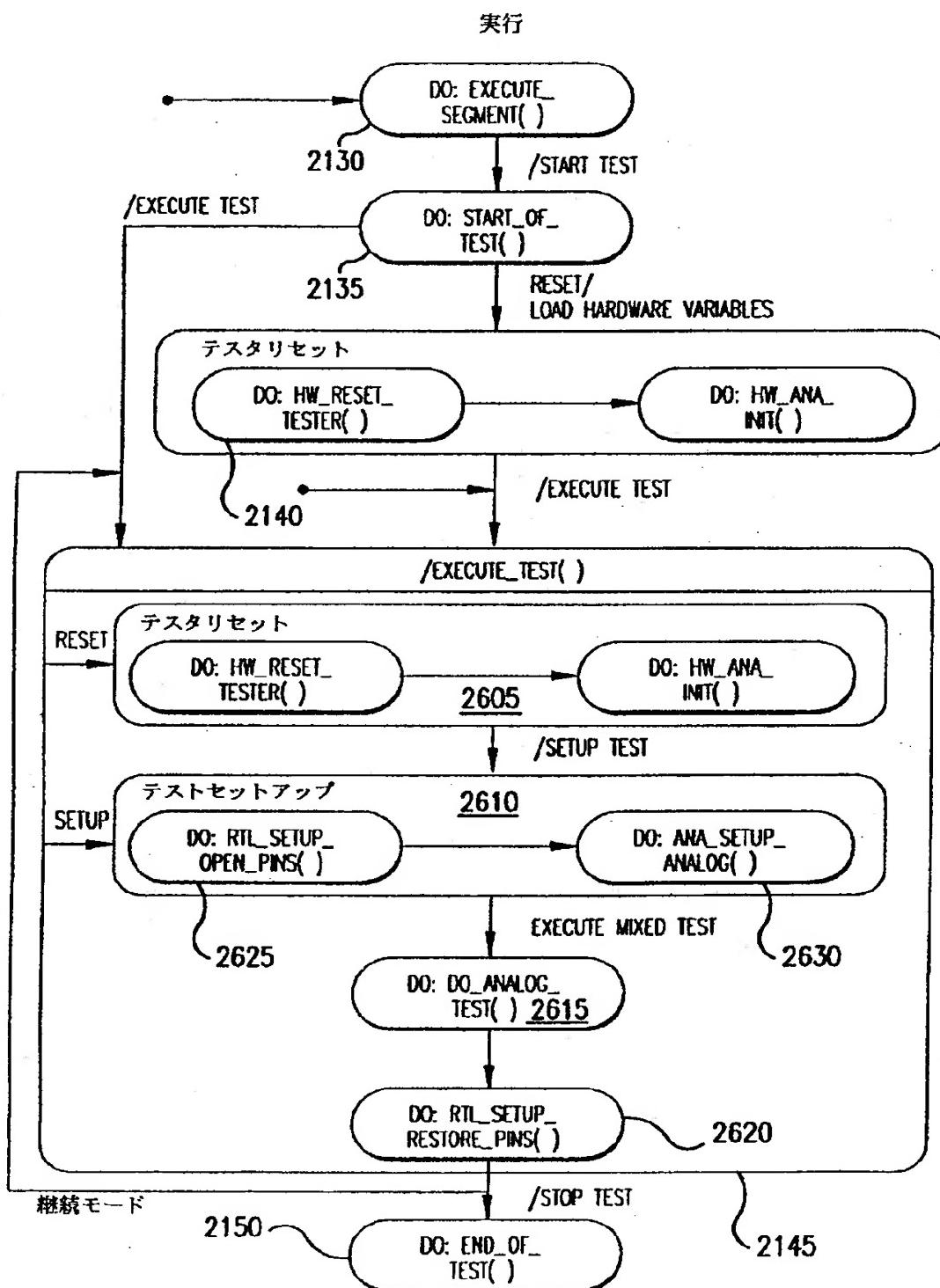
【図24】



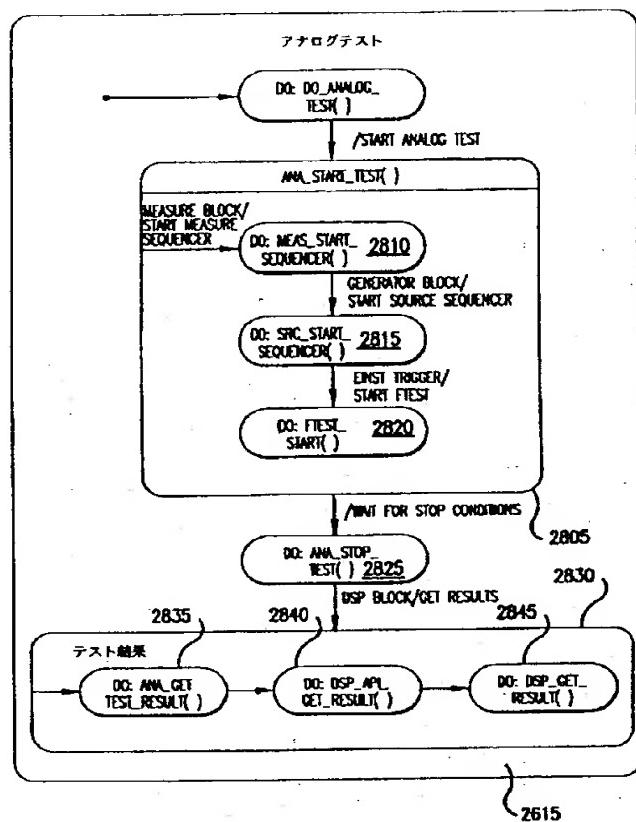
【図29】



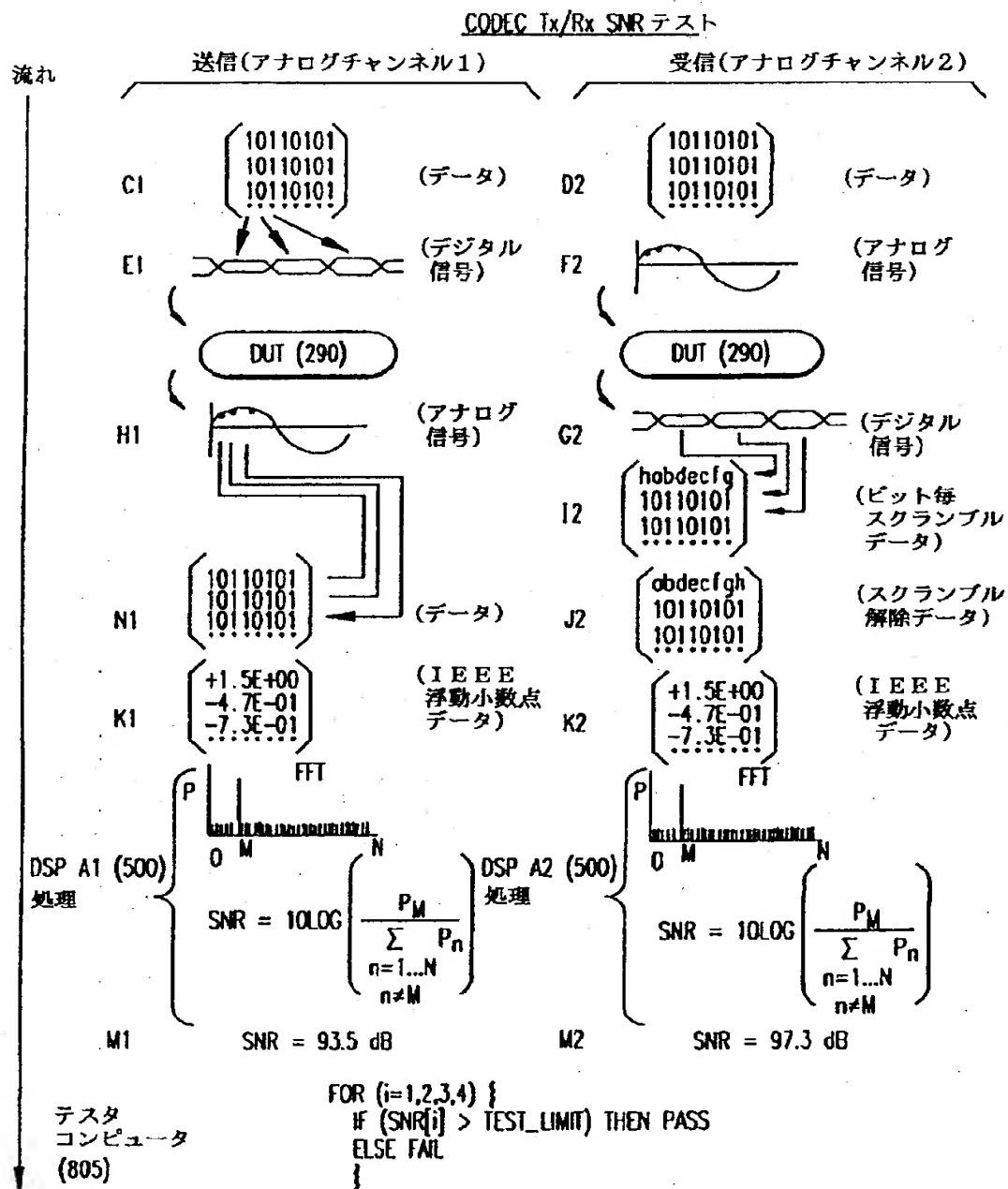
[图26]



【図28】

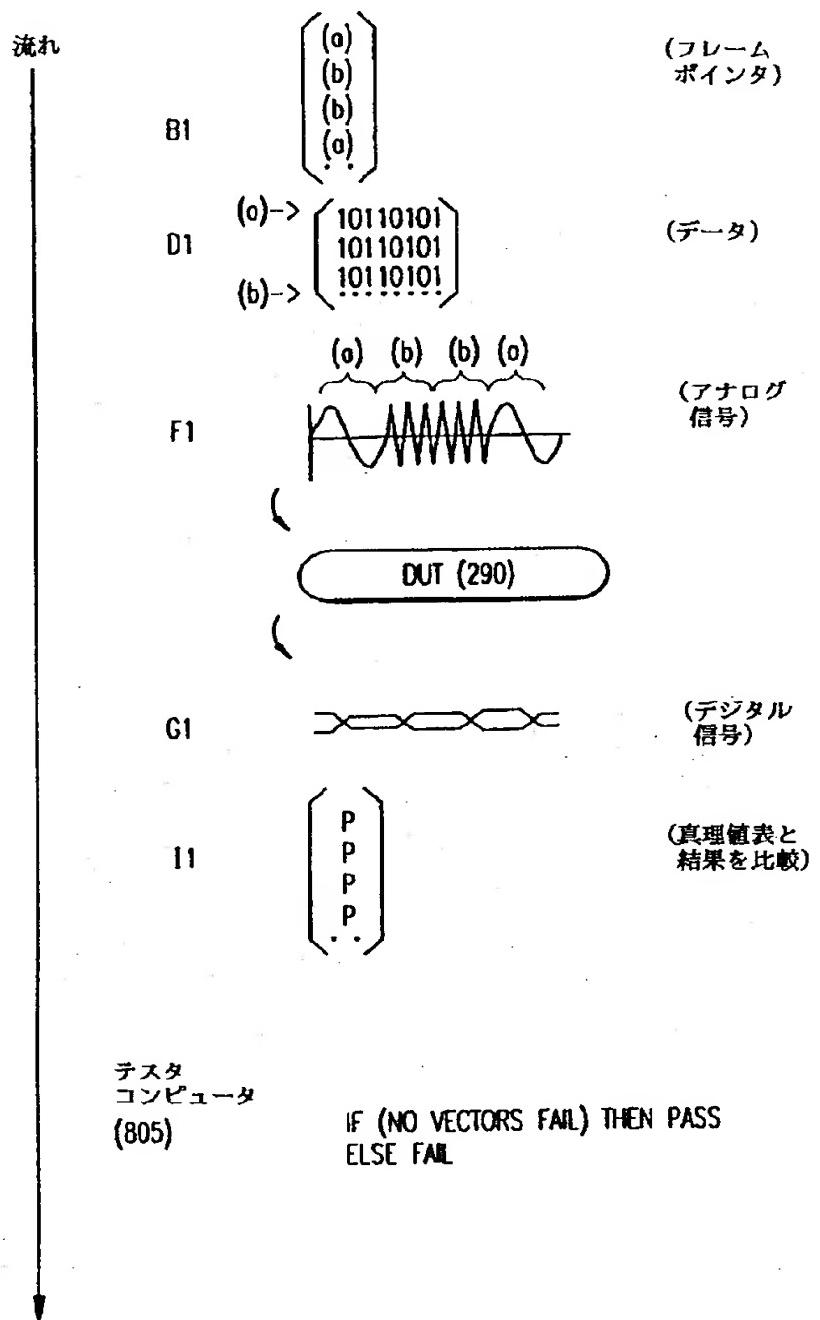


[図30]

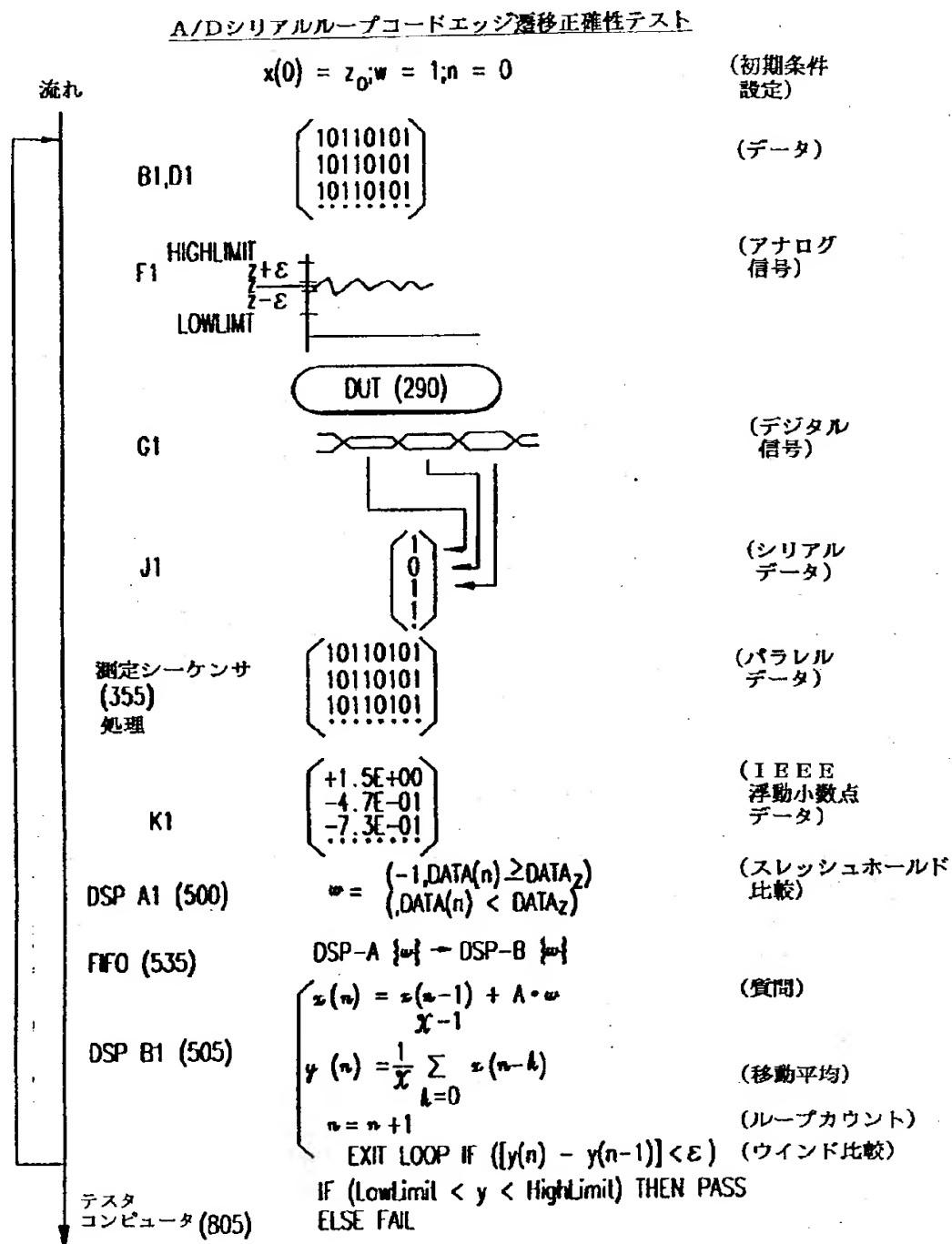


【図31】

## モデムビットエラーテスト



[図32]



フロントページの続き

(72)発明者 カンカン コナス  
アメリカ合衆国、カリフォルニア  
94536、フリモント、セイルフィッシュ  
エ コモン 38948

(72)発明者 ロバート ワイト  
イギリス国、ハンツ ビイエイチ24 3  
エルエイ、リングウッド、ノース ブ  
ルナー ロード 89

(72)発明者 エリック ノートン  
アメリカ合衆国、カリフォルニア  
95014、クバチーノ、マククレラン  
ロード 22015

(72)発明者 スチュアート ロバート ピアース  
アメリカ合衆国、カリフォルニア  
95136、サン ノゼ、サウザンド オ  
ークス コート 4515